

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/020063

International filing date: 01 November 2005 (01.11.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-318333
Filing date: 01 November 2004 (01.11.2004)

Date of receipt at the International Bureau: 13 December 2005 (13.12.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 1 1 月 1 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 3 1 8 3 3 3

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
J P 2 0 0 4 - 3 1 8 3 3 3
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人
Applicant(s): 株式会社 GENUSION

2 0 0 5 年 1 1 月 2 3 日

特許庁長官
Commissioner,
Japan Patent Office

中 嶋



【書類名】	特許願
【整理番号】	20040503
【提出日】	平成16年11月 1日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 29/792
【発明者】	
【住所又は居所】	兵庫県尼崎市道意町7丁目1番3号 尼崎リサーチインキュベーションセンター 株式会社GENUSION内
【氏名】	味香 夏夫
【発明者】	
【住所又は居所】	兵庫県尼崎市道意町7丁目1番3号 尼崎リサーチインキュベーションセンター 株式会社GENUSION内
【氏名】	三原 雅章
【発明者】	
【住所又は居所】	兵庫県尼崎市道意町7丁目1番3号 尼崎リサーチインキュベーションセンター 株式会社GENUSION内
【氏名】	宿利 章二
【発明者】	
【住所又は居所】	兵庫県尼崎市道意町7丁目1番3号 尼崎リサーチインキュベーションセンター 株式会社GENUSION内
【氏名】	中島 盛義
【特許出願人】	
【識別番号】	503291439
【氏名又は名称】	株式会社GENUSION
【代理人】	
【識別番号】	100084548
【弁理士】	
【氏名又は名称】	小森 久夫
【選任した代理人】	
【識別番号】	100123940
【弁理士】	
【氏名又は名称】	村上 辰一
【電話番号】	06-6941-3982
【連絡先】	担当
【手数料の表示】	
【予納台帳番号】	013550
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1

【書類名】 特許請求の範囲

【請求項 1】

半導体基板に形成されたn型ウェルと、

前記n型ウェル表面に所定間隔を開けて形成された第1のp+領域および第2のp+領域と、

前記第1、第2のp+領域間に形成されたチャネル領域と、

前記チャネル領域の上方にトンネル酸化膜を介して形成されたナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、

前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、

を有する不揮発性半導体記憶装置であって、

前記チャネル領域のうち、前記第1のp+領域および第2のp+領域の中間の領域の不純物濃度を、前記第1のp+領域および／または第2のp+領域の近傍の領域の不純物濃度よりも低くしたことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記電荷蓄積層の前記第1のp+領域側の一部領域である第1のプログラム領域、および、前記電荷蓄積層の前記第2のp+領域側の一部領域である第2のプログラム領域に、それぞれ独立して電荷を蓄積することにより、2ビットのデータを書き込むことを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項 3】

請求項1または請求項2に記載の不揮発性半導体記憶装置をメモリセルとして用い、

複数のメモリセルを、XYマトリクスに配列し、仮想接地方式で接続したことを特徴とする不揮発性半導体記憶装置。

【請求項 4】

半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定間隔を開けて形成された第1のp+領域および第2のp+領域と、前記第1、第2のp+領域間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置に書き込まれたビットデータを読み出す方法であって、

n型ウェルに正の読出バックゲート電圧を印加し、ゲート電極に負の読出し電圧を印加し、第1のp+領域に前記読出バックゲート電圧と同じ電圧を印加し、第2のp+領域を接地電位としたときに第1、第2のp+領域間が導通するか否かにより前記第1のプログラム領域のビットデータを読み出し、

n型ウェルに正の読出バックゲート電圧を印加し、ゲート電極に負の読出し電圧を印加し、第2のp+領域に前記読出バックゲート電圧と同じ電圧を印加し、第1のp+領域を接地電位としたときに第1、第2のp+領域間が導通するか否かにより前記第2のプログラム領域のビットデータを読み出す

ことを特徴とする不揮発性半導体記憶装置の読出方法。

【請求項 5】

半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定間隔を開けて形成された第1のp+領域および第2のp+領域と、前記第1、第2のp+領域間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置にビットデータを書き込む方法であって、

n型ウェルに読出バックゲート電圧よりも高電圧の書込バックゲート電圧を印加し、ゲート電極に正の高電圧を印加し、第1のp+領域を接地電位にすることにより、第1のp+領域付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層の第1のプログラム領域に注入して第1ビットの書き込みを行い、

n型ウェルに読出バックゲート電圧よりも高電圧の書込バックゲート電圧を印加し、ゲート電極に正の高電圧を印加し、第2のp+領域を接地電位にすることにより、第2のp+領域付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層の第2のプログラム領域に注入して第2ビットの書き込みを行う

ことを特徴とする不揮発性半導体記憶装置の書込方法。

【請求項6】

前記第1ビットの書き込み時に、n型ウェルに前記書込バックゲート電圧を印加した状態で、ゲート電極に通常の読み出し電圧よりも絶対値の大きい負のペリファイ読出電圧を印加し、第1のp+領域に正電圧を印加し、第2のp+領域を接地電位としたときに第1、第2のp+領域間が導通するか否かにより前記第1ビットが書き込まれているかをペリファイし、

前記第2ビットの書き込み時に、n型ウェルに前記書込バックゲート電圧を印加した状態で、ゲート電極に前記ペリファイ読出電圧を印加し、第2のp+領域に正電圧を印加し、第1のp+領域を接地電位としたときに第1、第2のp+領域間が導通するか否かにより前記第2ビットが書き込まれているかをペリファイする

ことを特徴とする請求項5に記載の不揮発性半導体記憶装置の書込方法。

【請求項7】

半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定間隔を開けて形成されたp+領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたフローティングゲート、ナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置に書き込まれたビットデータを読み出す方法であって、

n型ウェルに正の読出バックゲート電圧を印加し、ゲート電極に負の読み出し電圧を印加し、ソースに前記読出バックゲート電圧と同じ電圧を印加し、ドレインを接地電位としたときにソース・ドレイン間が導通するか否かによりビットデータを読み出すことを特徴とする不揮発性半導体記憶装置の読出方法。

【請求項8】

半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定間隔を開けて形成されたp+領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたフローティングゲート、ナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置にビットデータを書き込む方法であって、

n型ウェルに読出バックゲート電圧よりも高電圧の書込バックゲート電圧を印加し、ゲート電極に正の高電圧を印加し、ドレインを接地電位にすることにより、ドレイン付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層に注入してビットデータの書き込みを行うことを特徴とする不揮発性半導体記憶装置の書込方法。

【請求項9】

前記ビットデータの書き込み時に、n型ウェルに前記書込バックゲート電圧を印加した状態で、ゲート電極に通常の読み出し電圧よりも絶対値の大きい負のペリファイ読出電圧を印加し、ソースを接地電位とし、ドレインに正電圧を印加したとき、または、ソースに正電圧を印加し、ドレインを接地電位としたときにソース・ドレイン間が導通するか否かにより前記ビットデータが書き込まれているかをペリファイすることを特徴とする請求項8に記載の不揮発性半導体記憶装置の書込方法。

【請求項10】

半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定間隔を開けて形成されたp+領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャ

ネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたフローティングゲート、ナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置に書き込まれたビットデータを消去する方法であって、

n型ウェルに負のバックゲート電圧を印加し、ゲート電極およびソースに負の高電圧を印加し、ドレインを開放することにより、基板から電荷蓄積層にホットホールを注入し、これによって前記電荷蓄積層の電荷を消去することを特徴とする不揮発性半導体記憶装置の消去方法。

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置および不揮発性半導体記憶装置の書込方法、読出方法、消去方法

【技術分野】

【0001】

本発明は、pチャネル型の不揮発性半導体記憶装置およびその書込・読出・消去方法に関する。

【背景技術】

【0002】

近年、従来のフラッシュメモリのフローティングゲートに代えて電導性の低い窒化膜等の電荷トラップ層を形成し、この電荷トラップ層のソース側およびドレイン側にそれぞれ別々に電荷を注入することによって、1つのメモリセルに2ビットの情報を記録可能にした不揮発性半導体メモリが提案されている（特許文献1参照）。

【0003】

この文献の不揮発性半導体メモリは、nチャネルMOSトランジスタ構造において、ソース／ドレイン間に電圧を印加したときにこれが導通するか否かに影響を与えるのは、チャネル領域のうち電子放出（ソース）側の一部領域の電位状態であること、および、MOSトランジスタ構造は、基本的に対称構造であり、ソース・ドレインを逆に接続すれば、ソースがドレインとして機能し、ドレインがソースとして機能することに着目して提案されたものである。

【0004】

すなわち、電荷トラップ層のソース側領域に電子を注入／引き抜き（プログラム／イレース）して、読み出し時のソースからドレインに向けての電子の流れをオン／オフすることによって1ビットを記憶するとともに、電極を逆に接続すればドレインが電子放出側になるため、電荷トラップ層のドレイン側領域に電荷を注入／引き抜きしてドレインからソースに向けての電子の流れをオン／オフすることによってさらに1ビットを記憶する。

【0005】

ソース側ビットの読み出しは、ソースを接地してドレインに正電圧（ V_{dr} ）を印加しておこなう。ドレイン側ビットの読み出しは、ドレインを接地してソースに正電圧（ V_{dr} ）を印加する逆向きの接続で行う。プログラム領域に電子が注入されていれば、読み出し時のしきい値が上がってソース／ドレイン間に電流が流れないため、このとき非導通（オフ）であればビットはプログラム状態（0）であり、導通（オン）すればビットは非プログラム状態（1）である。

【0006】

このように、この不揮発性半導体メモリでは、電荷トラップ層の両側の一部領域に別々に電荷を注入／引き抜きし、読出時には、印加する電圧の方向を逆転させて、各方向の導通／非導通を検出することにより、2ビットの情報の記録・読み出しを可能としている。

【0007】

図21を参照しながら、この不揮発性半導体メモリの構成及びデータの書き込み／読み出しの動作についてさらに説明する。この不揮発性半導体メモリ（メモリセル）100は、p型シリコン半導体基板101の表面領域に形成された一対のn⁺領域102、103と、当該n⁺領域102、103間のチャネル領域と、このチャネル領域上に形成されたトンネル酸化膜104、電荷トラップ層105、シリコン酸化膜106およびゲート電極107を有している。ここで、電荷トラップ層105はシリコン窒化膜で構成されている。一対のn⁺領域102、103は、それぞれソースまたはドレインとして機能する。

【0008】

この構造において、電荷トラップ層105の両端部である左右のプログラム領域108、109にそれぞれに独立して電子が注入／引き抜きされる。電荷トラップ層105への電荷の注入（プログラム）は、チャネルホットエレクトロン（CHE）注入によって行われる。

【0009】

以下、右のプログラム領域109へ電荷をチャネルホットエレクトロン注入する場合について説明する。ソースを0V、ドレインを5V程度としてソース／ドレイン間に電位差を生じさせ、ゲート107に高電圧（10V程度）を印加する。ドレイン103，ゲート107の高電圧により、ソース／ドレイン間に電流が流れるが、ドレイン103の高電圧のため、チャネル110はチャネル領域の途中（I1の範囲）で消滅している。形成されたチャネル110の範囲11は導通しており電界は生じないが、チャネル110が形成されていない範囲12では、ソース／ドレイン間の電位差により電界加速されて電子が通過し、その一部がチャネルホットエレクトロン（CHE）となる。このチャネルホットエレクトロンがゲート107の高電圧によってトンネル酸化膜104を通過して電荷トラップ層105の右のプログラム領域109に注入され、右のプログラム領域109は電子がトラップされた状態（プログラム状態）になる。

【0010】

右のプログラム領域109のビットデータを読み出す場合には、ゲート107に読出電圧V_{g read}を印加するとともに、ソース／ドレイン間の読み出し電圧V_{d read}をプログラムの場合と逆方向に印加する。すなわち、右のn⁺領域103を接地して左のn⁺領域102にV_{d read}を印加する。なお、このときの電圧絶対値はプログラム時に比べて低く、V_{d read}=1.5V，V_{g read}=3V程度である。このとき、右のプログラム領域109に電子がトラップされている場合には、この電荷によるしきい値の上昇によりプログラム領域109の下層でチャネルが形成されず、ソース／ドレイン間がオンしない。一方、プログラム領域109に電子がトラップされていない場合にはソース／ドレイン間にチャネルが形成されてオンする。このように、プログラム領域109側のn⁺領域をソースとし、対向するn⁺領域をドレインとして用いることにより、プログラム領域109のビットデータを読み出すことができる。

【0011】

なお、右のプログラム領域109に電子がトラップされていても、プログラム時と同じ方向に電圧を印加した場合、すなわち、左のn⁺領域102を接地して右のn⁺領域103にV_{d read}を印加した場合には、ドレイン（n⁺領域103）の正電位により、プログラム領域109下のチャネル領域が空乏化して電子が通過するため、プログラム領域109に電荷がトラップされていても、この方向の読み出し動作に影響を与えない。

左のプログラム領域108への電子の注入およびビットデータの読み出しも上記と逆の手法で同様に行うことができる。

【0012】

このように、左右のプログラム領域への電子の注入はそれぞれ独立して行うことができ、且つ、左右いずれか一方のプログラム領域に対する読み出し動作時に他方のプログラム領域にトラップされている電子が影響を与えないため、この1つのメモリセル内の左右のプログラム領域にそれぞれ1ビットずつのデータを記録・読み出しすることができる。

【0013】

この種の不揮発性半導体メモリにおけるイレーズ（データ消去）処理は、チップ全体またはブロック（一般的には512kビット）単位で行うようになっている。この不揮発性半導体メモリのイレーズ処理は、電荷トラップ層にトラップされている電子を引き抜くことで行う。電荷トラップ層から電子が引き抜かれると、しきい値が下がって各ビットは非プログラム状態にもとる。

【特許文献1】米国特許第5768192号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

このように特許文献1に記載された不揮発性半導体記憶装置は、チャネルホットエレクトロン注入を用いて電荷トラップ層に電子を注入するものであり、これにより、しきい値を高くすることによってビットを反転している。

【0015】

しかしながら、チャネルホットエレクトロンによる電荷の注入は、ソースドレイン間をオンさせて、すなわちソースドレイン間に電流を流しつつその一部の電子を電荷トラップ層に注入するものであるため、注入効率が 10^{-6} 程度と低効率であり、内蔵の電源回路の負担が大きく高速書き込みができないという問題点があった。

【0016】

また、イレーズ処理における電子の引き抜きは、各メモリセルにおいて電子が完全に引き抜かれる程度に行われるが、各メモリセルには特性バラツキがあるため、全メモリセルで引き抜きが完了する程度のイレーズ処理を行った場合、一部のメモリセルでは、電子の消去引き抜きが行き過ぎて正電荷がチャージされてしまう（オーバーイレーズ）場合があった。正電荷がチャージされたメモリセルは、しきい値が負になってデプレッション化してしまい、メモリセルが導通したままになってしまい、ビットデータの読み出しに支障をきたすという問題点があった。

【0017】

このような課題を解決するために、不揮発性半導体メモリをpチャネルMONOSで構成することが考えられる。pチャネルMONOS構造とすることで、高効率のバンド間トンネリング（BTBT）で発生した電子による電子注入（BBHE注入）を行うことができるとともに、プログラム状態がマイナス電位の低いしきい値であり、イレーズ処理（電子の引き抜き）によってしきい値の絶対値が上昇するため、チップ全体またはブロック単位で行ってもオーバーイレーズのおそれがなくなるという利点がある。

【0018】

しかし、出願人は、実験の結果、pチャネルMONOS構造とした場合、チャネル領域の端部に電子を注入してしきい値を絶対値で低下させることによってプログラムを行う構造となることから、今度は、nチャネルMONOS構造にはない以下の問題点が発生することを発見した。（なお、本明細書でしきい値の高低（上昇／低下）は、全て絶対値についての表現とする。）

第1の問題点は、ソース近傍の電荷トラップ層（プログラム領域）に電子を注入しても、電荷トラップ層の中央部へ電子が移動しないため、チャネル領域中央部の（局所的な）しきい値が下がらず、メモリセルとしてのしきい値の低下がわずかであることである。このため、ビットデータを長期間保持するための信頼性を確保することが困難になっている。

【0019】

この状態を図22に示す。イニシャル状態（同図（A））では、チャネル領域全体ではほぼ同じ程度の局所的しきい値を有する。プログラム状態（同図（B））では、電荷（電子）がp⁺領域近傍にしか注入されないため、チャネル中央部の局所的しきい値が低下せず、全体としてのしきい値の低下がわずかである。

【0020】

第2の問題点は、pチャネルMOSの場合、ビット線（ドレイン）に負電圧を印加する必要があり、また書き込み・消去時にビット線に高電圧を印加する必要があるが、負電圧や高電圧を扱う回路を高速動作させることが困難なことである。

【0021】

この発明は、書き込み効率を向上させるとともに、オーバーイレーズが発生しない不揮発性半導体記憶装置であって、なおかつ、データ書込時のデータ転送レートの高速化を実現できる不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0022】

（1）半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定間隔を開けて形成された第1のp⁺領域および第2のp⁺領域と、前記第1、第2のp⁺領域間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁

膜を介して形成されたゲート電極と、を有するメモリセルであって、

前記チャネル領域のうち、前記第1のp+領域および第2のp+領域の中間の領域の不純物濃度を、前記第1のp+領域および／または第2のp+領域の近傍の領域の不純物濃度よりも低くしたことを特徴とする（図2（A）参照）。

【0023】

この発明では、チャネル領域の不純物濃度が、中間付近で低くなったグレーデッド構造になっている。pチャネルMOSトランジスタにおいて、不純物濃度が低いと、その領域の局所的なしきい値が低下する。pチャネルMONOS型のメモリセルにおいて、書き込みは、電荷蓄積層の端部へ電子を注入してオン／オフのしきい値を低下させることで行われる。ナノクリスタル層に蓄積された電荷、不導体電荷トラップ層にトラップされた電荷は、ともに移動しない。この場合に、電荷蓄積層の端部のみに電荷が注入されても元々チャネル領域の中間部のしきい値が低いため、端部の局所的しきい値が低下すれば、全体のしきい値が十分に低下する（図2（B）参照）。このように十分にしきい値が低下することにより、長期間のデータ保持が可能になる。

【0024】

なお、チャネル領域の中間部の不純物濃度を低下させるためには、n型ウェルの形成プロセス時にチャネル領域の不純物濃度を通常よりも低く形成しておき、ONO膜、ゲート電極形成ののち、斜め打ち込み（ハローインプラ）によってp+領域近傍の不純物濃度を通常程度に高くすればよい。

【0025】

（2） 前記電荷蓄積層の前記第1のp+領域側の一部領域である第1のプログラム領域、および、前記電荷蓄積層の前記第2のp+領域側の一部領域である第2のプログラム領域に、それぞれ独立して電荷を蓄積することにより、2ビットのデータを書き込むことを特徴とする。

【0026】

（3） （1）または（2）の構造のメモリセルを用い、複数のメモリセルを、XYマトリクスに配列し、仮想接地方式で接続したことを特徴とする。

【0027】

本発明のメモリセルは、1トランジスタで構成されるため、上に開示した仮想接地方式の接続、NOR接続ほか、コンタクトレス接続など種々の接続形態を簡略な構成で実現することができる。

【0028】

（4） 半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定間隔を開けて形成された第1のp+領域および第2のp+領域と、前記第1、第2のp+領域間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極とを有する不揮発性半導体記憶装置に書き込まれたビットデータを読み出す方法であって、

n型ウェルに正の読出バックゲート電圧を印加し、ゲート電極に負の読み出し電圧を印加し、第1のp+領域に前記読出バックゲート電圧と同じ電圧を印加し、第2のp+領域を接地電位としたときに第1、第2のp+領域間が導通するか否かにより前記第1のプログラム領域のビットデータを読み出し、

n型ウェルに正の読出バックゲート電圧を印加し、ゲート電極に負の読み出し電圧を印加し、第2のp+領域に前記読出バックゲート電圧と同じ電圧を印加し、第1のp+領域を接地電位としたときに第1、第2のp+領域間が導通するか否かにより前記第2のプログラム領域のビットデータを読み出すことを特徴とする。

【0029】

n型ウェルに正の読出バックゲート電圧を印加することにより、第1、第2のp+領域が正方向にバイアスされる。したがって、読出時にドレインとして機能するp+領域を接地電位とすることで相対的に負電位となる。これにより、p+領域（ドレイン）を制御す

る周辺回路として負電圧を扱う回路を設ける必要がなくなり、回路構成の簡略化・高速化を実現することができる。

【0030】

(5) 半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定間隔を開けて形成された第1のp+領域および第2のp+領域と、前記第1、第2のp+領域間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極とを有する不揮発性半導体記憶装置にビットデータを書き込む方法であって、

n型ウェルに読出バックゲート電圧よりも高電圧の書込バックゲート電圧を印加し、ゲート電極に正の高電圧を印加し、第1のp+領域を接地電位にすることにより、第1のp+領域付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層の第1のプログラム領域に注入して第1ビットの書き込みを行い、

n型ウェルに読出バックゲート電圧よりも高電圧の書込バックゲート電圧を印加し、ゲート電極に正の高電圧を印加し、第2のp+領域を接地電位にすることにより、第2のp+領域付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層の第2のプログラム領域に注入して第2ビットの書き込みを行うことを特徴とする。

【0031】

n型ウェルに比較的高電圧の書込バックゲート電圧を印加することにより、第1、第2のp+領域が比較的大きく正方向にバイアスされる。したがって、ゲート電極に正の高電圧を印加し、ドレインとして機能するp+領域を接地電位とすることでこのp+領域にバンド間トンネリングによるホットエレクトロンが発生する。これにより、p+領域（ドレイン）を制御する周辺回路として負電圧を扱う回路を設ける必要がなくなり、回路構成の簡略化・高速化を実現することができる。

【0032】

(6) 前記第1ビットの書き込み時に、n型ウェルに前記書込バックゲート電圧を印加した状態で、ゲート電極に通常の読み出し電圧よりも絶対値の大きい負のベリファイ読出電圧を印加し、第1のp+領域に正電圧を印加し、第2のp+領域を接地電位としたときに第1、第2のp+領域間が導通するか否かにより前記第1ビットが書き込まれているかをベリファイし、

前記第2ビットの書き込み時に、n型ウェルに前記書込バックゲート電圧を印加した状態で、ゲート電極に前記ベリファイ読出電圧を印加し、第2のp+領域に正電圧を印加し、第1のp+領域を接地電位としたときに第1、第2のp+領域間が導通するか否かにより前記第2ビットが書き込まれているかをベリファイすることを特徴とする。

【0033】

n型ウェルに書込バックゲート電圧が印加された状態のままで、ゲート電極に通常の読み出し電圧よりも絶対値が大きいベリファイ読出電圧を印加することで、プログラムとベリファイとを切り換えるときにn型ウェルの電圧を変化させなくてもよくなる。n型ウェルは他の構成部位に比べて電荷の容量が極めて大きいため、このn型ウェルの電位を変化させないことで高速の切り換え、すなわち高速の書き込みが可能になる。

【0034】

以上説明した本願発明の基本的な動作は以下のとおりである。電荷蓄積層に電荷（負電荷）を蓄積すると、ゲート電極から見たしきい値電圧が変化する。このしきい値の変化がビットデータとして記憶される。pチャネルであるため、しきい値電圧は負電圧に設定され、ゲート電極にしきい値よりも絶対値が大きい負電圧が印加されると第1、第2のp+領域間にチャネルが形成されて導通する。なお、第1、第2のp+領域は、いずれか一方がソースとして機能し、他方がドレインとして機能するが、その機能が固定されておらず、印加される電圧条件によってその機能が交代する。電荷蓄積層に負電荷が蓄積されると

、その負電荷によって生じる負の電位により、ゲート電極に低い負電圧を印加しても第1、第2のp型領域間が導通し、見かけ上しきい値電圧（絶対値）が低下する。

【0035】

書き込みは、消去と異なり、1ビットずつ行われるため、セルの特性にバラツキがあっても電荷の蓄積の程度をベリファイしながらしきい値が一定の電位になるまで電荷を注入することができる。このため、各ビットセルのしきい値のバラツキを少なくすることができ、電荷を蓄積しすぎてメモリセルのしきい値が正になってデプレッション化することがない。そして、逆にチップ全体またはブロック単位で行われる消去で見かけのしきい値が負方向に上昇するため、nチャネルフラッシュメモリのように、過消去によってメモリセルがデプレッション化してしまうことがない。

【0036】

本発明では、電荷蓄積層として蓄積した電荷が移動しないナノクリスタル層または不導体の電荷トラップ層を用いる。電荷トラップ層としては、比較的誘電率の高いシリコン窒化膜を用が一般的に用いられる。電荷の注入は、ソースやドレイン近傍から行われる。たとえばBBHE注入（バンド間トンネリングで発生した電子（Band to Band Hot Electron）による電荷注入）によって電荷蓄積層の両端部の第1、第2のプログラム領域に電荷が蓄積される。

【0037】

第1、第2の電荷蓄積層への電荷の蓄積は、独立して行うことができ、その読み出しも読み出し方向を反転して独立して行うことができるため、これによって、1セルで2ビットのデータの記憶が可能となる。

【0038】

また、BBHE注入は、ゲート／ドレイン間に電流を流さずp型領域（ゲートまたはドレイン）に高い負電圧を印加することによって電子を生じさせ、これを高電界によってホットエレクトロン化させ、これをゲート電極の正電圧によって電荷蓄積層へ注入するものである。このように、ソース／ドレイン間にチャンネル電流が流れないため、チャンネルホットエレクトロン注入にくらべて3桁程度効率がよく、同じ能力の内部電源の高電圧発生回路を用いて3桁多いセルを同時にプログラムすることができ、等価的に3桁高速の書き込みを実現することができる。

【0039】

（7） 半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定間隔を開けて形成されたp⁺領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャンネル領域と、前記チャンネル領域の上方にトンネル酸化膜を介して形成されたフローティングゲート、ナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置に書き込まれたビットデータを読み出す方法であって、

n型ウェルに正の読出バックゲート電圧を印加し、ゲート電極に負の読み出し電圧を印加し、ソースに前記読出バックゲート電圧と同じ電圧を印加し、ドレインを接地電位としたときにソース・ドレイン間が導通するか否かによりビットデータを読み出すことを特徴とする。

【0040】

（8） 半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定間隔を開けて形成されたp⁺領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャンネル領域と、前記チャンネル領域の上方にトンネル酸化膜を介して形成されたフローティングゲート、ナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置にビットデータを書き込む方法であって、

n型ウェルに読出バックゲート電圧よりも高電圧の書込バックゲート電圧を印加し、ゲート電極に正の高電圧を印加し、ドレインを接地電位にすることにより、ドレイン付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを

前記電荷蓄積層に注入してビットデータの書き込みを行うことを特徴とする。

【0041】

(9) 前記ビットデータの書き込み時に、n型ウェルに前記書込バックゲート電圧を印加した状態で、ゲート電極に通常の読み出し電圧よりも絶対値の大きい負のペリファイ読出電圧を印加し、ソースを接地電位とし、ドレインに正電圧を印加したとき、または、ソースに正電圧を印加し、ドレインを接地電位としたときにソース・ドレイン間が導通するか否かにより前記ビットデータが書き込まれているかをペリファイすることを特徴とする。

【0042】

(10) 半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定間隔を開けて形成されたp+領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル酸化膜を介して形成されたフローティングゲート、ナノクリスタル層、不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置に書き込まれたビットデータを消去する方法であって、

n型ウェルに負のバックゲート電圧を印加し、ゲート電極およびソースに負の高電圧を印加し、ドレインを開放することにより、基板から電荷蓄積層にホットホールを注入し、これによって前記電荷蓄積層の電荷を消去することを特徴とする。

【発明の効果】

【0043】

以上のようにこの発明によれば、pチャネル構造としたことにより、BTHE注入による書き込みができ、書き込み効率を向上させることができるとともに、しきい値が低下するのはビット単位で制御できる書き込み時であるため、オーバーレイズが発生しない。さらに、チャネル領域の中央部の局所的しきい値が低く制御されているため、プログラム時と消去時のしきい値の差が大きく、長期間安定してデータを保持することができる。

【0044】

また、この発明によれば、n型ウェル（セルウェル）に適切なバックゲート電圧を印加することにより、p+領域（ドレイン、ビット線）をGND—正のVCCで動作させればよくなり、Y系の周辺回路を高速のVCC回路とすることができるため、高速の書込動作をさせることが可能になる。

【発明を実施するための最良の形態】

【0045】

《第1の実施形態》

図面を参照して本発明の実施形態について説明する。

図1は本発明の第1の実施形態であるpチャネルMONOSメモリセルの構造図を示す図である。このメモリセルは、p型半導体基板11上に形成されたn型ウェル（セルウェル）12、このn型ウェル12の表面付近に所定の間隔を開けて形成されたp+領域（ソース）13およびp+領域（ドレイン）14、これら2つのp型領域13、14の間に形成されたチャネル領域20、および、このチャネル領域20の上方にチャネル領域20を覆うように形成されたONO膜およびゲート電極18を有している。

【0046】

ONO膜は、酸化シリコンからなるトンネル酸化膜15、窒化シリコンからなり注入された電荷（電子）を蓄積する電荷トラップ層16、および、酸化シリコンからなる絶縁膜17からなっている。これら3層の膜厚は、トンネル酸化膜15が約2.5～5nm程度、電荷トラップ層16が約10nm程度、絶縁膜17が約5nm程度である（図3参照）。また、ゲート電極18は、ポリシリコンで構成されている。

【0047】

このメモリセルは、1ビット／セルまたは2ビット／セルのメモリセルとして用いることができる。2ビット／セルのメモリセルとして使用する場合には、仮想接地アレイ（VGA：バーチャル・グラウンド・アレイ）型構成として、電荷トラップ層16の右側領域

、左側領域にそれぞれ１ビットずつを記憶する。読み出し時、左側領域のビットデータ、右側領域のビットデータのどちらを読み出すかにより、p＋領域１３、１４のどちらをソース、ドレインとして用いるかが決定される。

なお、１ビット／セルのメモリセルとして用いる場合には、NOR接続とし、p＋領域１３がソース、p＋領域１４がドレインに固定される。

【００４８】

ここで、図２を参照してチャネル領域２０の不純物濃度の制御について説明する。セルウェル１２の形成プロセスにおいて、基板最表面の領域をチャネル領域２０とするために深い領域よりも不純物濃度を高く制御するが、このメモリセルの場合には、通常のpチャネルMOSトランジスタの場合よりもその濃度が若干低くなるように、すなわち、しきい値が低くなるように制御する。そして、ONO膜およびゲート電極１８を形成し、セルフアラインでp＋領域１３、１４（ソース、ドレイン）を形成したのち、斜め方向から不純物（Pリンなど）を打ち込むことにより、チャネル領域２０のうちp＋領域１３、１４付近の領域（２０Ｌ、２０Ｒ）の不純物濃度が、チャネル領域の中央部（２０Ｃ）の不純物濃度よりも高くなるように制御する。これにより、チャネル領域中央部の局所的なしきい値が、p＋領域１３、１４付近の局所的なしきい値よりも低く制御される（図２（Ａ）参照）。

【００４９】

このように不純物濃度制御されたメモリセルに、BBHE注入でp＋領域１３、１４近傍に電子を注入した場合、この電子注入によってp＋領域１３、１４付近の局所的しきい値のみ低下し、チャネル領域２０中央部のしきい値は影響を受けない。しかし、チャネル領域２０中央部のしきい値は図２（Ａ）示すように元々低く制御されているため、このp＋領域１３、１４付近の局所的しきい値の低下によって、チャネル領域２０全体としてのしきい値が十分に低下してプログラム時と非プログラム時のしきい値の差を大きくすることができる（図２（Ｂ）参照）。これにより、長期間のデータ保持が可能となる。

なお、図２（Ｂ）は、左右両方のプログラム領域に電子が注入されている状態を示しているが、一方のプログラム領域のみであっても同様である。

【００５０】

データを消去した場合、チャネル領域２０のなかでオン／オフに対して最も影響力のあるp＋領域１３、１４近傍の局所的しきい値が再度上昇するため、イニシャル状態とほぼ同様の状態にもどる。

【００５１】

図４、図５を参照して、図１のメモリセルを複数XY配列して仮想接地方式で接続したメモリアレイの一例について説明する。この仮想接地アレイを用いることにより、上記２ビット／セルの書き込み、読み出しが可能である。

図４（Ａ）はメモリセルアレイの断面斜視図、同図（Ｂ）はそのうちの１つのメモリセルの構成を示す図、図５はその等価回路である。図４（Ａ）において、破線は各メモリセルの境界を示す仮想的な線である。また、図５の等価回路には、書き込み時の各ワード線（ゲート）、カラム線（ソース、ドレイン）への印加電圧を示している。

【００５２】

n型ウェル１２の表面に所定間隔を開けてY方向の複数のp＋線状領域３０がストライプ状に形成されている。このp＋線状領域３０はメモリセルの境界をまたいで形成されており、１本のp＋線状領域３０がX方向に隣接する２つのメモリセルのp型領域１３、１４（ソース、ドレイン）を兼ねるとともにカラム線を兼ねている。このカラム線は、Yゲートとの接続に応じてビット線としても、ソース線としても機能する。

【００５３】

ワード線３１は、上記p＋線状領域３０と直交するようにX方向にストライプ状に形成されていて、各メモリセルのチャネル領域２０の上方でゲート電極１８を兼ねている。また、このワード線３１と半導体基板（p＋領域１３、１４、チャネル領域２０）との間にONO膜３２が形成されている。このONO膜３２もワード線３１と同様に、X方向に連

続的に形成されている。このONO膜32のうち、チャネル領域20上方の区間はトンネル酸化膜15、電荷トラップ層16および絶縁膜17として機能し、p型領域13、14上方の区間は層間絶縁膜として機能する。

【0054】

なお、この実施形態では、ONO膜32をワード線31と同様にX方向にストライプ状に形成しているが、ONO膜32は導電膜でないため、メモリセルアレイ全体に形成してもよい。このようにすることにより、ONO膜32をストライプ状にエッチングする処理プロセスを省略することができる。

【0055】

このようにこのメモリセルアレイでは、1本のp+線状領域（カラム線）30が、X方向に隣接する2つのメモリセルのp型領域13、14を兼ねるため、メモリの構成が簡略化され、高集積化が可能である。

【0056】

《第2の実施形態》

次に、図6以下を参照して本発明の第2の実施形態について説明する。この実施形態は、プログラム時、ベリファイ時、読出時、消去時のメモリの電位配置に関するものであり、NOR接続アレイ、バーチャルグラウンドアレイに適用することができる。

【0057】

まず、図6を参照してNOR接続アレイ構造の不揮発性半導体記憶装置のアーキテクチャについて説明する。このNOR接続アレイは、図1のメモリセルを用いて構成すればよいが、これ以外にも、チャネルをグレーデッド構造としていないMONOS構造の不揮発性半導体メモリ、フローティングゲート型の不揮発性半導体メモリ、ナノクリスタル層に電荷を保持する不揮発性半導体メモリ等に適用することができる。

【0058】

この不揮発性半導体記憶装置では、2つのセルウェル12がペアになっている。各セルウェル12には、X方向1kB=8k（8192）個×Y方向64個=512k（524288）個のメモリセルが形成されている。メインビットライン21は8k本であり、セレクトゲート24を介して2つのセルウェル12のうちの一方のサブビットライン25に接続される。8k本のメインビットライン21には、それぞれラッチが接続されている。このラッチは書き込み動作のベリファイ等に用いる。セレクトゲート24は、セルウェル12とは別のセレクトゲートウェル（n型ウェル）20内に形成されており、pチャネルMOSトランジスタで構成されている。セレクトゲートウェル20の電位はVCCに固定されている。セレクトゲート24のゲート電極は、非選択時にVCCが印加され、選択時に-2.2Vが印加される。-2.2Vが印加されると、ゲートが導通し、メインビットライン21を各メモリセルのドレインにつながるサブビットライン25に接続する。ワード線は、各メモリセルのゲート電極をX方向に接続しており、各セルウェル12毎に64本設けられている。ソースラインは、各セルウェル12内の512k個のメモリセルに共通である。

【0059】

図6のNOR接続の不揮発性半導体記憶装置において、書き込み（プログラム・ベリファイ）、読み出し、消去を行う動作を図7～図18を参照して説明する。図7～図18は、書き込み（プログラム・ベリファイ）、読み出し、消去動作時の電位配置および動作原理を示す図である。

【0060】

この不揮発性半導体記憶装置では、セルウェルに適切なバックゲート電圧を印加することにより、書き込みおよび読み出し時に最も高速な動作が要求されるビットラインをGND-VCCで動作させることができるようにしている。これにより、ビットラインの制御回路を高速で標準的な正のVCC回路で構成することができ、高速化かつ構成の簡略化を可能にしている。

【0061】

まず書き込み動作のうちのプログラム動作について説明する。先に説明したようにMONOSメモリセルでは、電荷トラップ層16として電気導性が低い窒化膜を用いているため、トラップされた電子が膜内で移動せず、トラップされた位置に留まる。

メモリセルへの書き込み（プログラム）は、電荷トラップ層16へ電子を注入することによって行う。電子の注入は、ゲート電極18とドレイン（一方のp+領域）14の間に正負の高電圧を印加することによるBBHE注入で行い、電子は電荷トラップ層16に注入される。

【0062】

電荷トラップ層16への電荷の注入は、正電位のゲート電極18と負電位のドレイン13の高い電位差によって生じる空乏層の高電界を利用したバンド間トンネリングによるホットエレクトロン（BBHE:Band-to-Band tunneling induced Hot Electron）注入で行う。ただし、ドレイン（＝ビット線）を正電位の範囲で制御できるようにするため、セルウェル12に正のバックゲート電圧を印加する。これにより、ドレインの接地電位は相対的に負電位となる。

【0063】

具体的には、図7、図8、図9に示すように、セルウェル12にバックゲート電圧 V_{bgw} として+4Vを印加し、ドレイン13（ビット線）を接地電位とする（ $V_{dw}=0$ ）。そして、ゲート18（ワード線）にゲート電圧 V_{gw} として10Vを印加する。このときソース14（ソース線）には、 V_{CC} （＝1.8V）を印加しておく。

【0064】

この電位配置にすることにより、図10に示すようにドレイン13とセルウェル12との接合面に空乏層の領域21が発生するとともに、ドレイン13内でバンド間トンネリング（BTBT）によるエレクトロン（電子）／ホールペアが生成される。この電子が、空乏層領域21の強電界によって加速され高エネルギーを持ったホットエレクトロンとなる。その一部がゲート電極18に印加された正電圧に吸引されて、トンネル酸化膜15を乗り越えて電荷トラップ層16に注入される。

【0065】

この電荷の注入は、ソース13・ドレイン14間がオフしている状態で行われるため、 10^{-2} 程度の注入効率を確保することができ、従来のチャネルホットエレクトロン注入方式に比べて $\times 10^3$ 程度の高効率を得ることができる。

【0066】

このように、プログラム時にセルウェル12に適当な正のバックゲート電圧を印加することにより、ドレイン（ビット線）を0V～ V_{CC} （正電位）の範囲で制御すればよくなり、書き込み時に高速な動作を要求されるY系（ビット線）の周辺回路を高性能の V_{CC} トランジスタを用いた正電圧回路で形成することができ高速書き込みおよび回路構成の簡略化を実現することができる。

【0067】

ここで、ビットの書き込み（電子の注入）は、しきい値 V_{th} が所定の電圧になるまでベリファイしながら少しずつ繰り返し行うため、書き込みが行われたビットのしきい値はほぼ同一であり、電子を注入しすぎて、セルがデプレッション化してしまうことはない。

【0068】

次に、図7、図11、図12を参照して、書き込み動作のうちのベリファイ時の動作について説明する。ベリファイは、ビットの書き込み時に、しきい値 V_{th} が所定電位になっているかを確認するため、プログラムと交互に繰り返し実行される動作である。

【0069】

高速書き込みを実現するためには、上記プログラムとベリファイの動作切り換えを高速に行う必要がある。上記プログラム時の動作では、セルウェル12にバックゲート電圧を印加しており、プログラム／ベリファイの切り換え時に寄生容量の大きいセルウェルの電圧を V_{CC} ～4Vに高速に変化させることは困難である。そこで、この実施形態では、セルウェル12にバックゲート電圧（4V）を印加したままベリファイを行うようにしてい

る。

ベリファイ動作では、セルウェル 1 2 の電圧が 4 V のままであるため、ワード線 2 2 (ゲート電極 1 8) は、通常の読み出し時の電圧 (-2.2 V ; 後述) よりも高い -5 V に設定される。この状態で、ソースライン 2 3 とビットライン 2 1, 2 5 を V C C に充電したのち、ソースライン 2 3 を G N D に駆動する。プログラム完了の場合には、チャンネルが導通するため、ビットライン 2 1, 2 5 は放電され G N D になる。プログラムが完了していない場合にはビットライン 2 1, 2 5 は V C C のままである。このビットラインの電位をラッチに取り込み、これに基づいて次のプログラムパルス印加時のビットライン電圧を決定する。すなわち、ラッチされた電位が V C C のビットラインのみ次のプログラムパルス時に再度電子の注入を行うようにする。

【0 0 7 0】

このように、セルウェル 1 2 にバックゲート電圧 (4 V) が印加された状態でベリファイを行うようにしたことにより、プログラム／ベリファイの切り換えが高速に行われ、ビットの高速書き込みを実現することができる。

【0 0 7 1】

一方、読み出し (リード) 動作は、書き込み動作に比べて高速の動作が要求され、ビット線のみならずワード線の高速切り換えも必要であるため、セルウェル 1 2 に印加されるバックゲート電圧を通常の電圧 (V C C = 1.8 V) とし、ワード線に印加する読み出し電圧を -2.2 V としている。

【0 0 7 2】

次に、図 7, 図 1 3, 図 1 4 を参照して、読み出し動作について説明する。読み出し時には、セルウェル 1 2 にバックゲート電圧として V C C を印加し、ソース線 2 3 (ソース 1 3) に V C C (= 1.8 V) を印加する。読み出し対象のビットライン 2 1, 2 5 (ドレイン 1 4) を G N D にしたのち、読み出し対象のワード線 2 2 (ゲート 1 8) を V C C から読み出し電圧 $V_{gr} = -2.2$ V に変化させる。これにより、等価的にソース 1 4 が接地されドレインが -1.8 V の電位となり、ゲート電圧が -4 V となる。この電位配置でセルがプログラム状態であればビットライン 2 1, 2 5 は V C C に上昇し、非プログラム状態であれば G N D のままである。

【0 0 7 3】

次に消去動作について説明する。消去の方法は、F N (F o w l e r - N o r d h e i m) トンネルによる引き抜きと、基板ホットホール注入による消去方法とがある。

【0 0 7 4】

まず、図 7, 図 1 5, 図 1 6 を参照して F N トンネルによる引き抜きについて説明する。消去は、セルウェル 1 2 単位で行われる。セルウェル 1 2 およびソース線 2 3 は V C C のままワードライン 2 2 (ゲート 1 8) に -1.3 V の高電圧を印加し、ビットライン 2 1, 2 5 (ドレイン 1 4) を G N D にする。これにより、ゲート 1 8 とドレイン 1 4 との間に大きな電位差が生じ、電荷トラップ層 1 6 にトラップされている電子が F N トンネル効果によってトンネル酸化膜 1 5 を通過してドレイン 1 4 に飛び移ることにより引き抜かれる。

【0 0 7 5】

次に、図 7, 図 1 7, 図 1 8 を参照して、基板ホットホール注入による消去方法を説明する。セルウェル 1 2 は -1 V、セレクトゲートを閉じてサブビットライン 2 5 (ドレイン 1 4) をオープンにする。ワードライン 2 2 (ゲート 1 8) に -1.3 V を印加し、ソース線 2 3 (ソース 1 3) に -4 V を印加する。このように電圧を印加することにより、p 型基板 1 1、n ウェル 1 2 およびソース 1 3 が p n p バイポーラトランジスタとして機能し、p 型半導体基板 1 1 からソース 1 3 に向けてホールが放出される。一方、ゲート電極 1 8 には負の高電圧が印加されているため、ホールの一部はゲート電極方向に引き寄せられトンネル酸化膜 1 5 を通過して電荷トラップ層 1 6 に突入する。このホールの正電荷により電子の負電荷がキャンセルされ、その結果電荷トラップ層 1 6 の電荷はイレーズされる。

【0076】

以上の電位配置および動作により、Y系の回路をGND-VCCで動作する高速の回路で構成することができる。

【0077】

なお仮想接地アレイ(VGA)の場合には、図19に示すような電位配置でプログラム、ベリファイ、読み出し、消去を行えばよい。この図においてドレイン(Drain)、ソース(Source)は、p+領域13, 14を固定的に示すものではなく、ビットデータを書き込む(電子を注入する)側またはビットデータを読み出す側がドレインとなり、その反対側がソースとなるように、p+領域13, 14に割り当てられる機能を示したものである。

【0078】

この仮想接地アレイは、図4, 図5に示したものでもよく、チャンネルをグレーデッド構造としていないMONOS構造の不揮発性半導体メモリ、フローティングゲート型の不揮発性半導体メモリ、ナノクリスタル層に電荷を保持する不揮発性半導体メモリ等で構成した仮想接地アレイにも適用することができる。

【0079】

さらに、トラップした電荷が移動しない構造を有するメモリセル、たとえば、図4, 図5に示したMONOS構造の不揮発性半導体メモリや、通常の(チャンネルをグレーデッド構造としていない)MONOS構造の不揮発性半導体メモリや、ナノクリスタル層に電荷を保持する不揮発性半導体メモリなどを用いた場合には、ゲート長の両端を用いることにより2ビット/セルの記憶を行うことができる。この場合には、上記ゲート電極18と左側のp+領域14の間に正負の高電圧を印加して右側プログラム領域16Rに電子を注入することに加えて、セルを左右反転して、左側のp+領域13をドレインとして用い、ゲート電極18とp+領域13の間に正負の高電圧を印加して左側プログラム領域16Lにも電子を注入する。

【0080】

こうすることにより、左側プログラム領域16Lまたは右側プログラム領域16Rに注入された電子は、反対側に移動しないため、左右のプログラム領域16L, Rに独立して書き込みを行うことができる。読み出し時には、p+領域13, 14のどちらをドレイン/ソースとして機能させるか、すなわち、どちらに読み出し電圧を印加してどちらを接地するかによって、左右どちらのプログラム領域16L, Rを読み出すかを選択することができる。

【0081】

以上説明したように、第2の実施形態では、高速の書き込みを実現するために次の2点を実現している。

(1)セルウェル12に適切なバックゲート電圧を印加することで、ビット線へ印加される電圧を0V~VCC(1.8V)の間で全ての動作を行うことができる。これにより、高速書き込みに対して重要な役割を担うY系の回路を高性能のVCCトランジスタで形成でき、負電圧も扱わないので特別な回路構成も必要とならないようにする。

【0082】

(2)さらに、書き込み時には4V程度のバックゲート電圧を印加するが、ベリファイをこのバックゲート電圧印加状態で行うようにした。これにより、プログラムとベリファイとの切り換えを容量の大きい電源回路を用いずに高速に行うことが可能になった。

【0083】

《その他の実施形態》

また、この実施形態のようにセルウェルにバックゲート電圧を印加することによって、ゲート長のスケラビリティ(短ゲート化)を大幅に改善することが可能になり、NOR型の構造において、0.1 μ m以下のゲート長を実現することも困難でなくなった。これは、バックゲート電圧を印加することにより、ドレイン-ソース間に掛かる電圧が下がることと、バックゲート効果により等価的にV_{th}(絶対値)が高くなるためにパンチスル

ーしにくくなることによっている。

【0084】

先に説明しているように、MONOS構造のメモリセルでは、2ビット／セルの記憶が可能であるが、2ビット／セルのメモリセルを製作するためには、左右の独立したプログラム領域を確保できるだけのゲート長が必要である。その一方、上記のようにセルウェルにバックゲート電圧を適当なバックゲート電圧を印加することでゲート長を大幅に短くすることが可能であるため、短ゲート長で1ビット／セルのメモリセルを製作しても、2ビット／セルに近い記憶密度を実現することができる。

【0085】

さらに、この場合であっても、通常のシングルビット構成のフローティングゲート型フラッシュメモリ（たとえば特開平9-8153号公報記載のもの）に比べて以下のような、優れた効果を奏することができる。

【0086】

(1) フローティングゲート型に比べてMONOS型は欠陥性の不良に強い。すなわち、フローティングゲート型では、トンネル酸化膜（ボトム酸化膜）に極微小なリークを生じるような欠陥があった場合でも、このリークによってフローティングゲート内の電荷が全て流れだしてしまい、記憶内容が失われてしまう。10年間の記憶保持を必要とする不揮発性メモリにおいては、他のデバイスに比べて許容されるリークレベルが非常に小さく（例えばDRAMに比べて8桁小さいリークレベルが要求される）、極微小な欠陥を発生させないプロセスを実現することが非常に困難となっている。

【0087】

これに対して、MONOS型では窒化膜という絶縁膜中に電荷をトラップしているので、上層あるいは下層の酸化膜に小さな欠陥が存在しても、欠陥近傍の電荷が流れだす可能性があるにしても、全ての電荷が流れだしてしまうことはない。したがって、MONOS構造はフローティングゲート型に比べて欠陥に対する耐性が非常に大きい。

【0088】

(2) フローティングゲート型に比べてMONOS構造の方がスケーラビリティに優れている。

フローティングゲート型では、フローティングゲートが、ソース、ドレイン、基板、コントロールゲートの4つの電極と容量結合しているため、書き込み時には、書き込まれるメモリセルと同一ビット線に接続されている非選択セル（ドレインに書き込み電圧（＝比較的高い電圧）が印加され、ゲートに0Vが印加されているセル）において、ドレインとフローティングゲートとの容量結合によってフローティングゲートの電位が上昇する。したがって、スケーリング（ゲート長を短くすること）に従い、相対的にドレインとの容量結合の割合が増え、チャネルを介した基板との容量結合に占める割合が減少するために非選択セルのフローティングゲートの電位上昇が無視できなくなり、非選択セルが書き込み時弱いON状態になってしまう。そうなると、書き込み時の非選択セルのチャネルに流れるリーク電流が増加し、最終的には書き込み動作が正常に行えなくなってしまう。

【0089】

これに対してMONOS構造では容量結合の原因となる導電膜であるフローティングゲートが存在しないため、このような問題が存在しないので、スケーリング（ゲート長を短くしても）、このようなリーク電流の増加という問題は発生しない。

【0090】

なお、本明細書では、pチャネルMONOS構造のメモリセルについて説明しているが、上記グレーデッドなチャネル構造はnチャネルMONOSメモリセルにも同様に適用することができるが、また、図7の電位配置等は極性を反転してnチャネルMONOSメモリセルに適用することも可能である。さらに、図20に示すtwin MONOSメモリセルにこれらを適用することも可能である。

【0091】

ここで、図20は、Pチャネルtwin MONOSメモリセルの構造を示す図である

。twin MONOSメモリセルは、通常のMOSトランジスタのゲート（ワードゲート）207の両側にサイドウォール技術によって、サイドウォールコントロールゲート205L，Rおよび窒化膜206L，Rを形成したもので、窒化膜206L，Rのそれぞれに電荷をトラップすることによって、2ビット／セルの記憶を実現しつつ、チャンネル長の短縮化を実現したものである。

【図面の簡単な説明】

【0092】

【図1】この発明の実施形態であるグレーディングチャンネル構造のpチャンネルMONOSメモリセルの構造を示す図

【図2】同pチャンネルMONOSメモリセルのしきい値電圧を説明する図

【図3】同pチャンネルMONOSメモリセルのトンネル酸化膜と上部絶縁層の厚さの関係を説明する図

【図4】同pチャンネルMONOSメモリセルをXYに配列してバーチャルグラウンドアレイを構成した場合の構造図

【図5】同バーチャルグラウンドアレイの等価回路図

【図6】同pチャンネルMONOSメモリセルをXYに配列してNOR接続アレイを構成した場合のアーキテクチャを示す等価回路図

【図7】同NOR接続アレイにおける書込（プログラム）時，ベリファイ時，消去時，読出時の電位配置を示す図

【図8】プログラム時の等価回路における電位配置を示す図

【図9】プログラム時の断面構造における電位配置を示す図

【図10】BTHE注入によるプログラムの原理を説明する図

【図11】ベリファイ時の等価回路における電位配置を示す図

【図12】ベリファイ時の断面構造における電位配置を示す図

【図13】読出時の等価回路における電位配置を示す図

【図14】読出時の断面構造における電位配置を示す図

【図15】FNトンネルによる消去時の等価回路における電位配置を示す図

【図16】FNトンネルによる消去時の断面構造における電位配置を示す図

【図17】基板ホットエレクトロン注入による消去時の等価回路における電位配置を示す図

【図18】基板ホットエレクトロン注入による消去時の断面構造における電位配置を示す図

【図19】前記バーチャルグラウンドアレイにおいて2ビット／セルの記憶を行う場合の書込（プログラム）時，ベリファイ時，消去時，読出時の電位配置を示す図

【図20】Pチャンネルtwin MONOSメモリセルの構造を示す図

【図21】従来のNチャンネルMONOSメモリセルの構造を示す図

【図22】グレーデッドチャンネル構造を有しないpチャンネルMONOSメモリセルのしきい値電圧を説明する図

【符号の説明】

【0093】

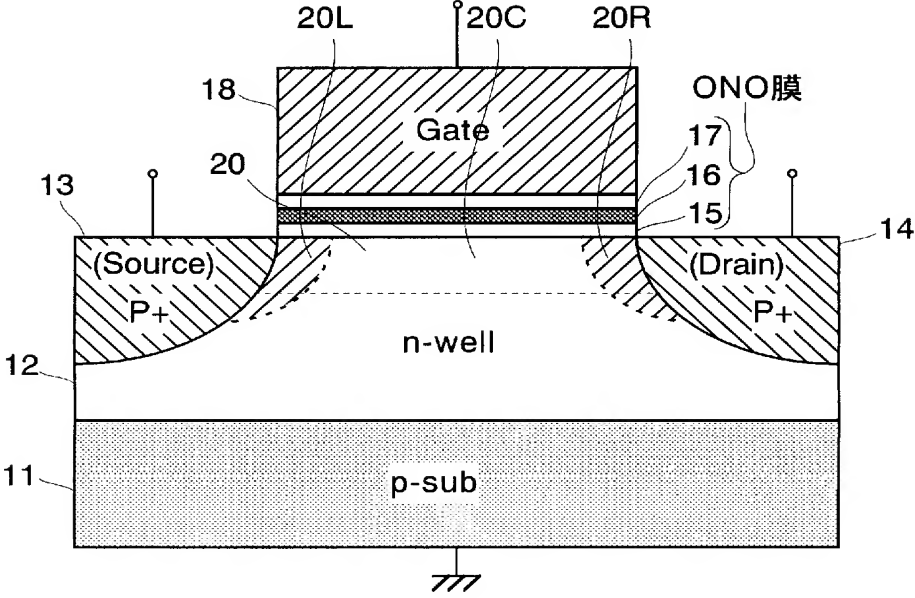
- 11…p型半導体基板
- 12…n型ウェル（セルウェル）
- 13，14…p⁺領域（ソース，ドレイン）
- 15…トンネル酸化膜
- 16…電荷トラップ層（窒化膜）
- 17…上部絶縁層
- 18…ゲート
- 20…セレクトゲートウェル（n型ウェル）
- 21…メインビット線
- 22…ワード線

2 3 … ソース線

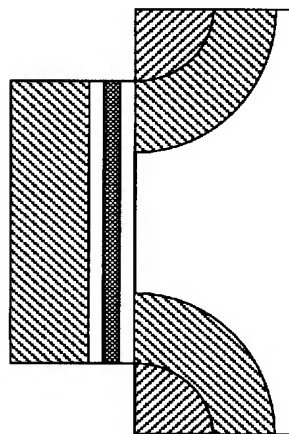
2 4 … セレクトゲート

2 5 … サブビット線

【書類名】 図面
【図 1】



(A) Initial

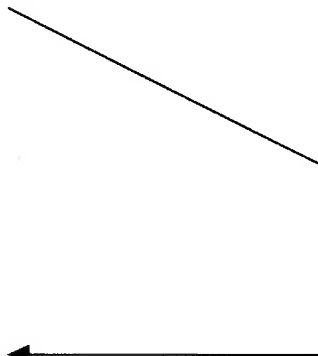
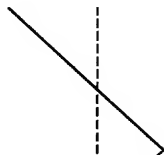


$-V_{th}$

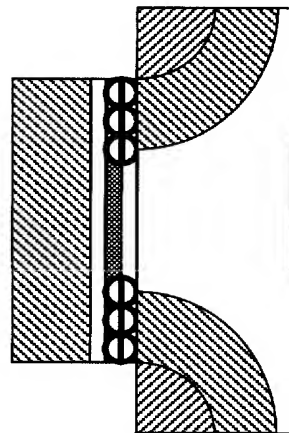
位置

$-I_d$

$-V_g$



(B) Program

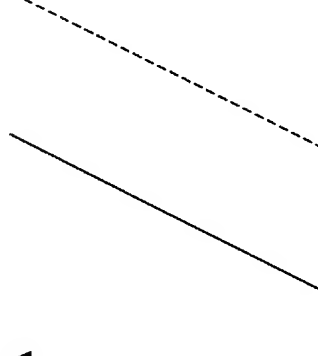
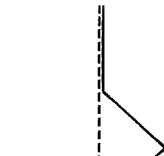


$-V_{th}$

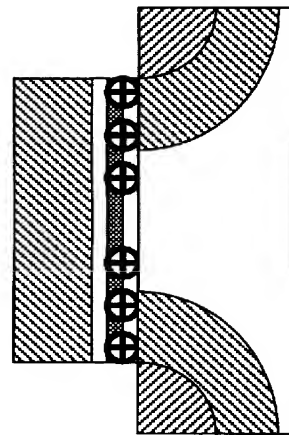
位置

$-I_d$

$-V_g$



(C) Erase

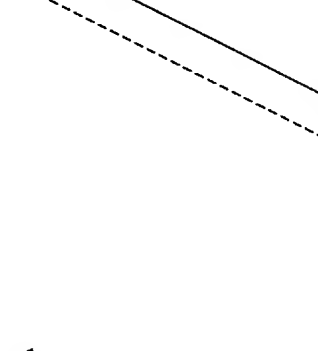
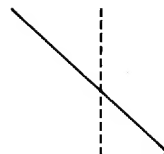


$-V_{th}$

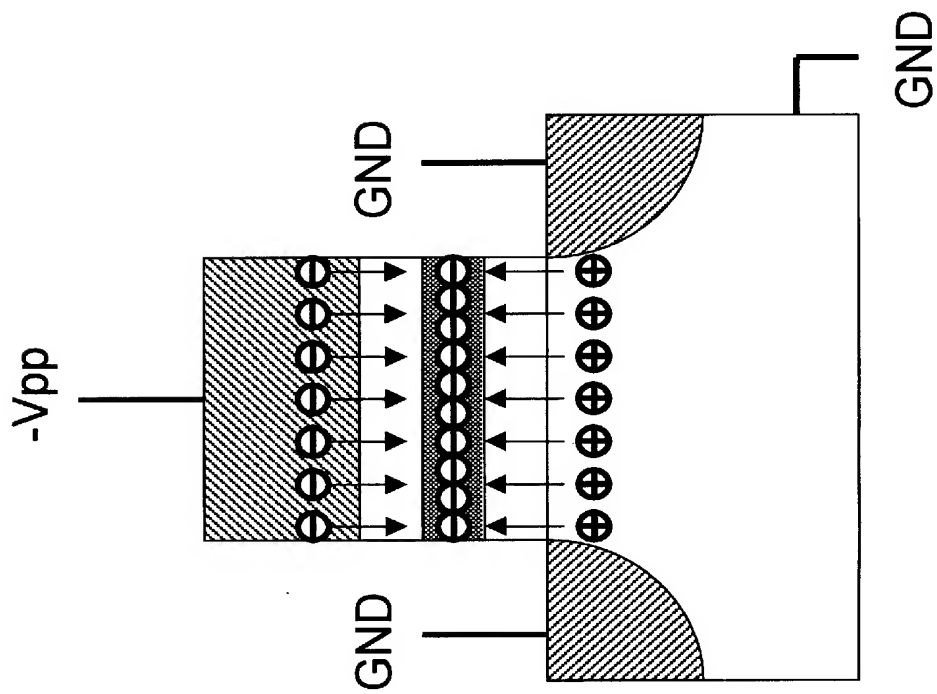
位置

$-I_d$

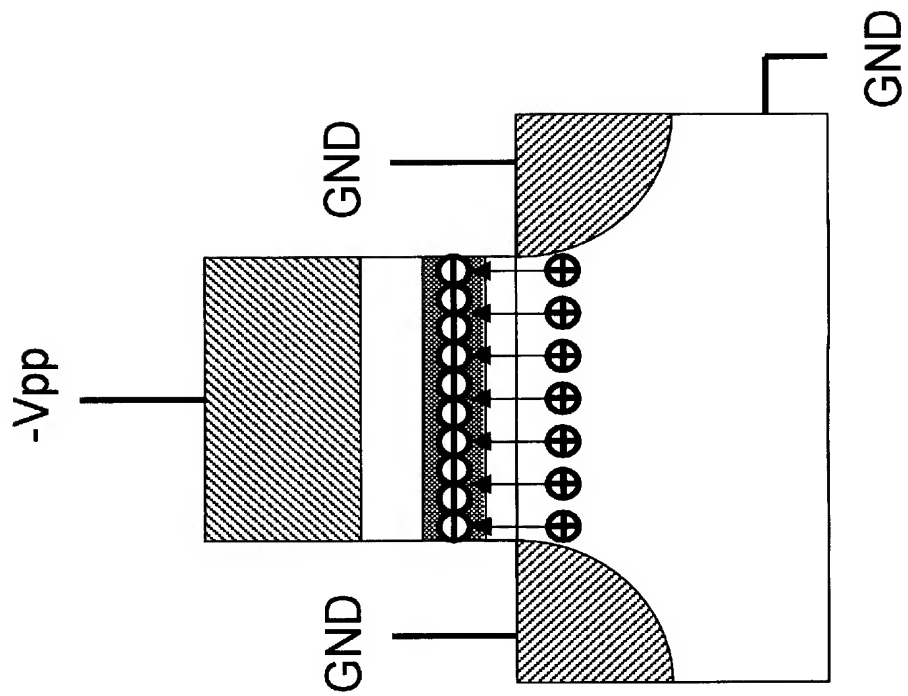
$-V_g$



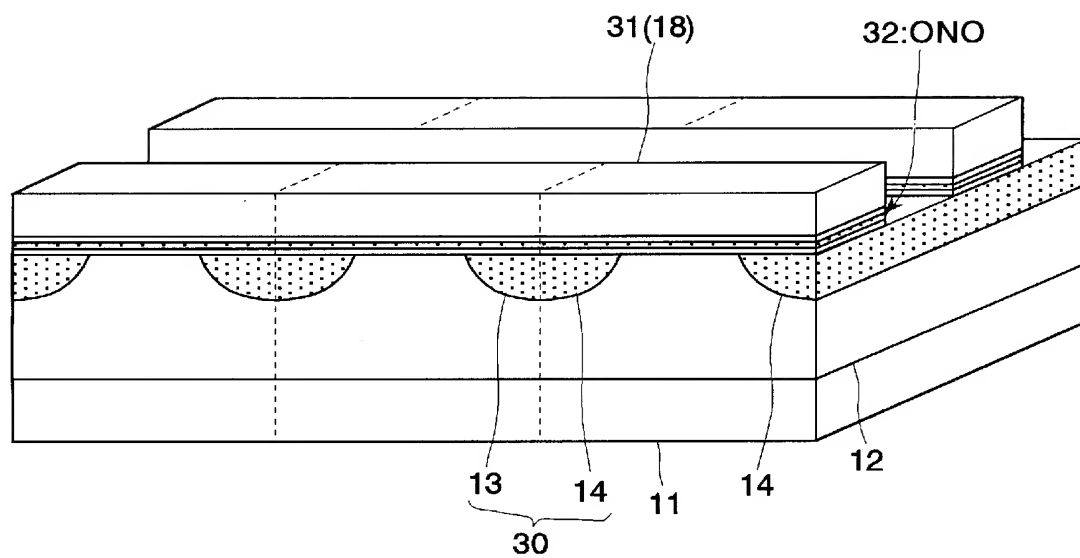
(A)



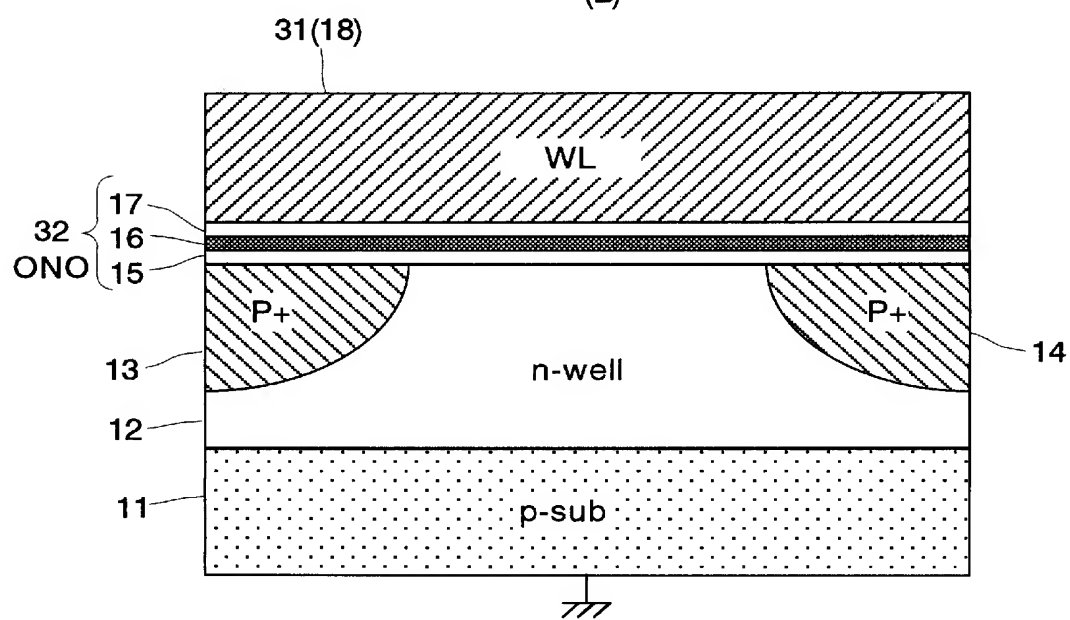
(B)



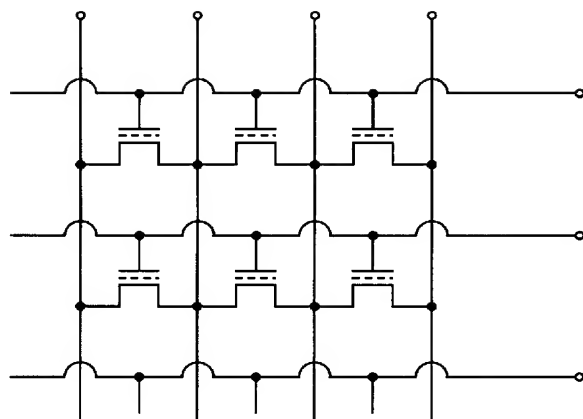
(A)



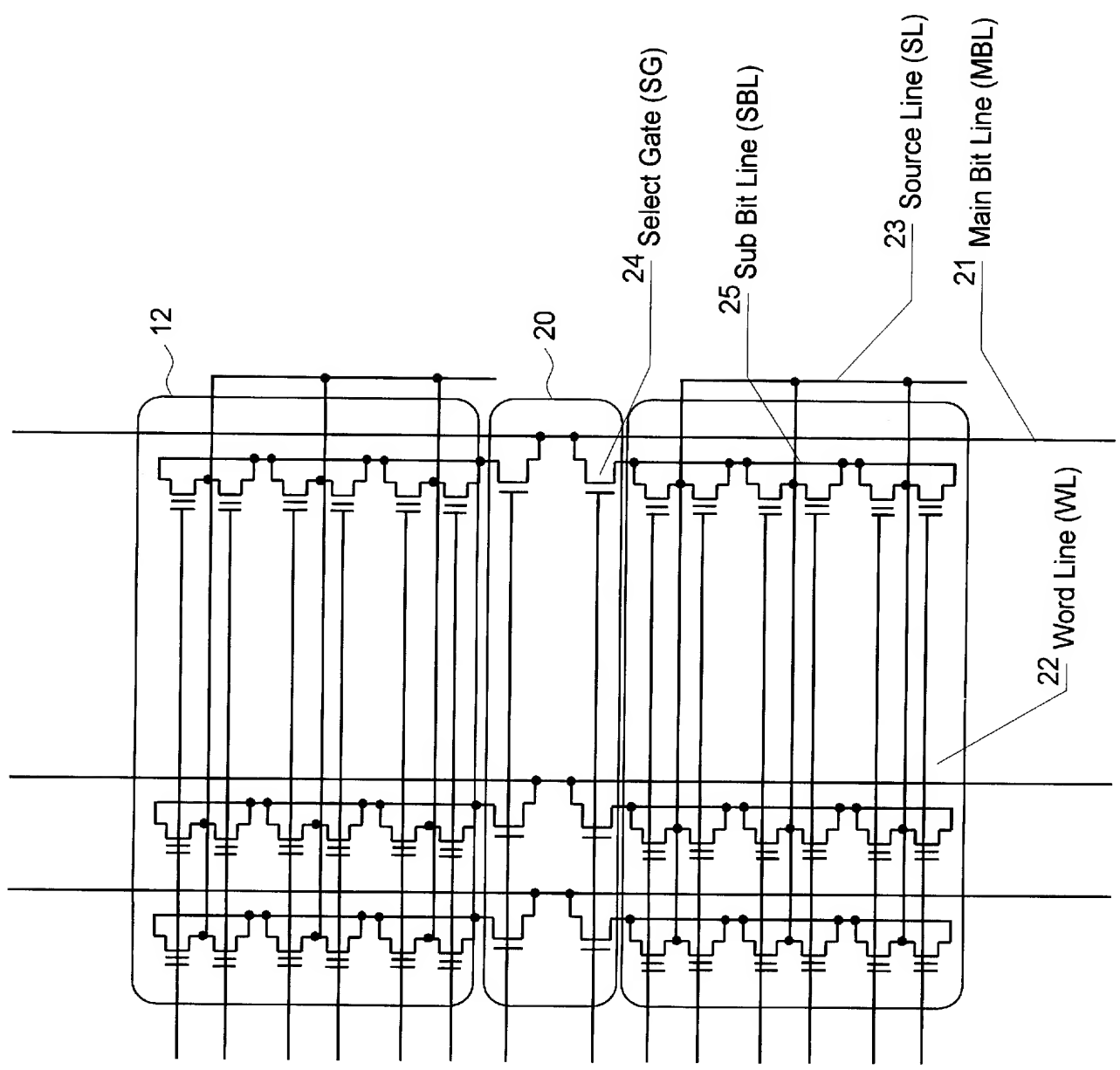
(B)



【 図 5 】

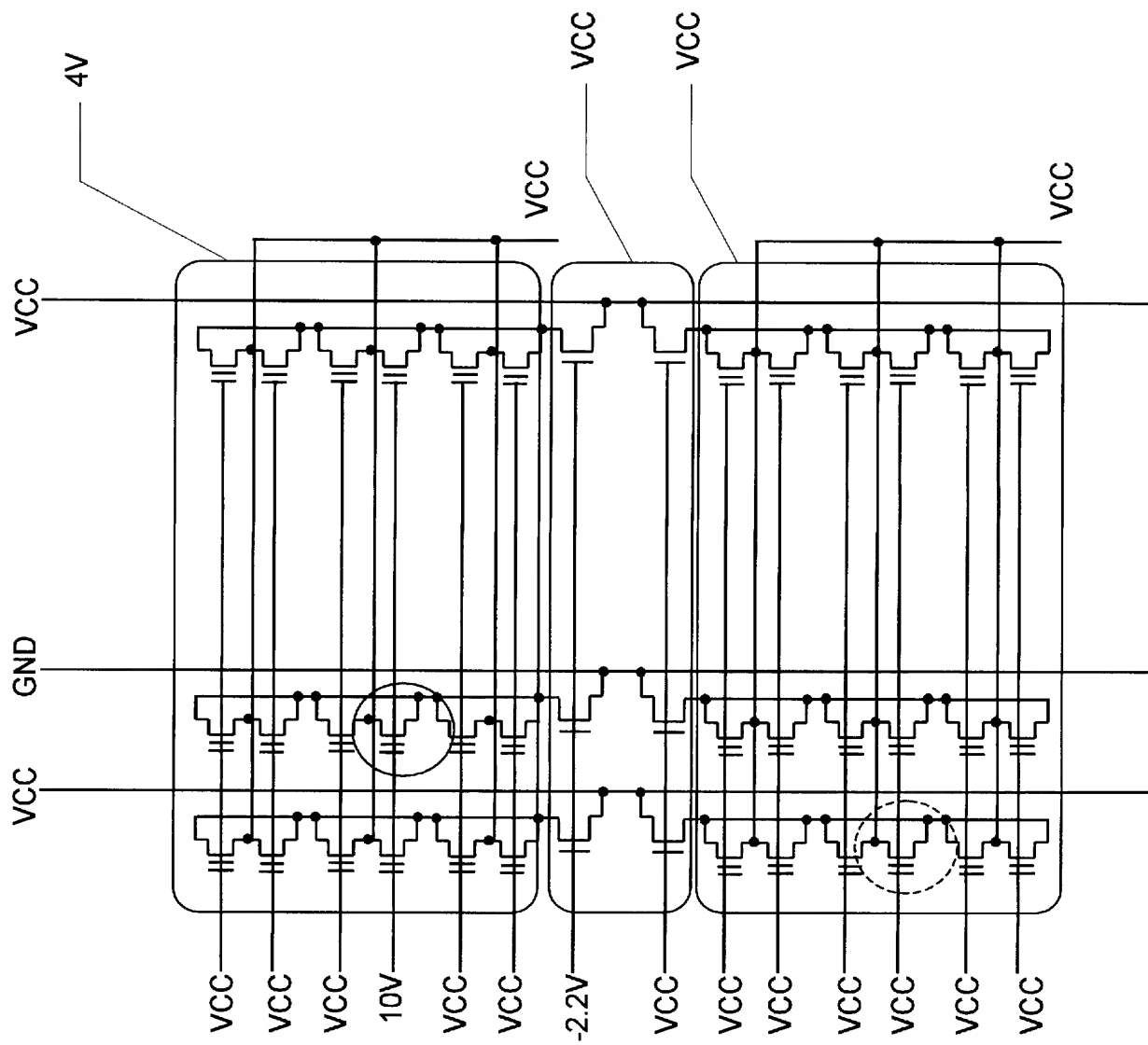


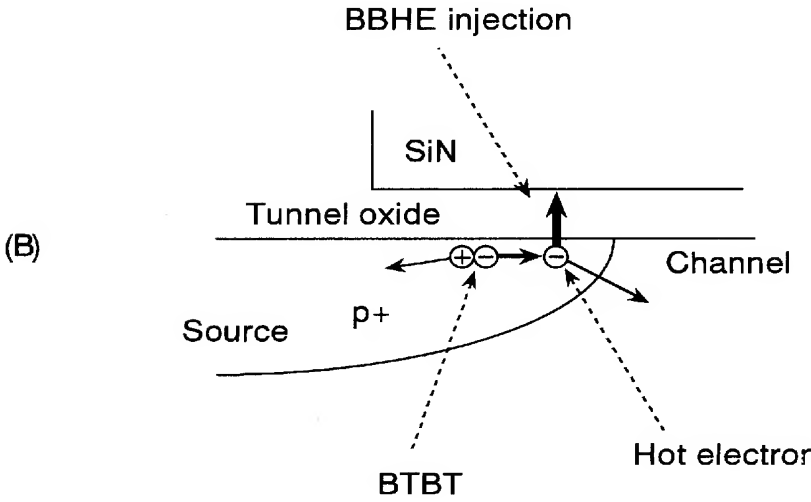
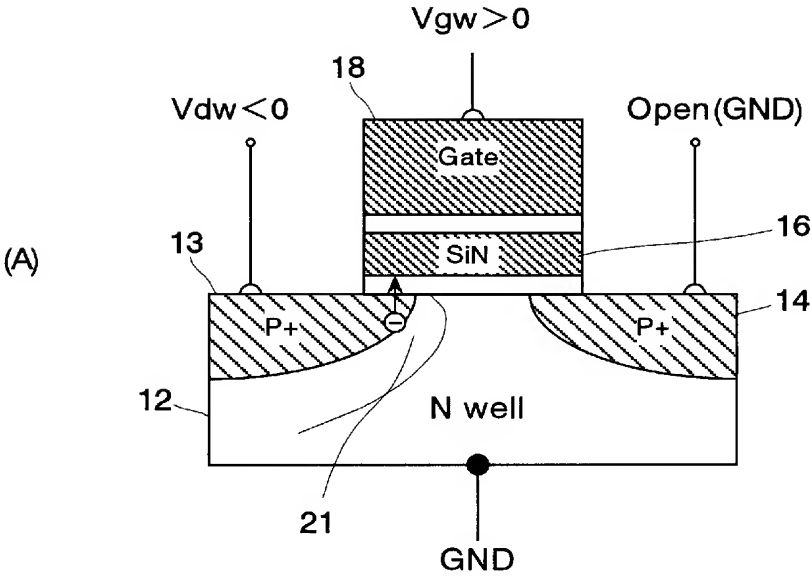
Architecture



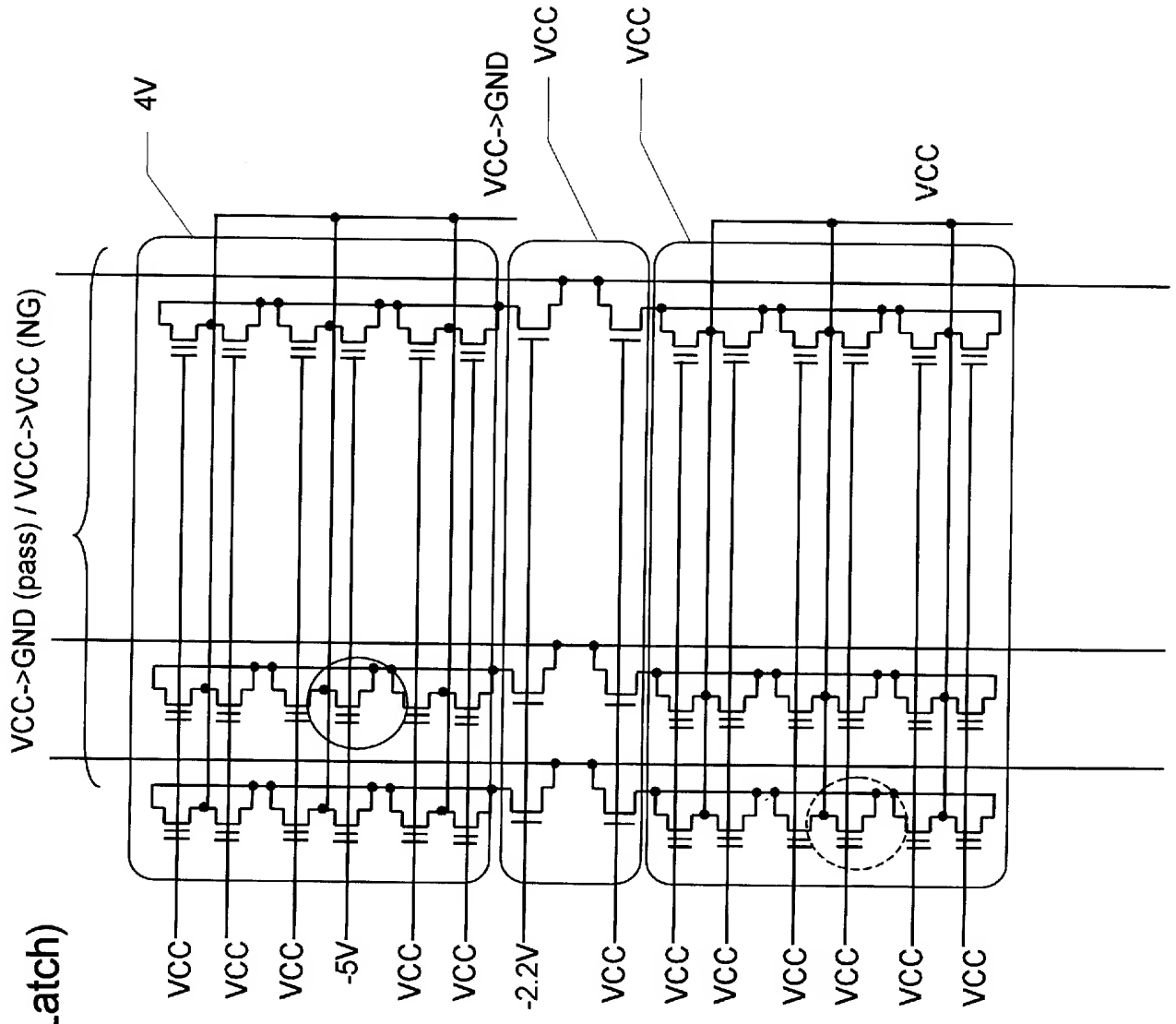
	Program	Prg-verify	Erase(tn)	Erase(hh)	Read
selected	Main-BL	GND	VCC	VCC	GND
	SG	-2.2V	VCC	VCC	-2.2V
	Sub-BL	GND	open	open	GND
	WL	10V	-13V	-13V	-2.2V
	Source	VCC	GND	-4V	VCC
	Cell-well	4V	VCC	-1V	VCC
	SG-well	VCC	VCC	VCC	VCC
	Main-BL	VCC	VCC	VCC	VCC
	SG	VCC	VCC	VCC	VCC
	Sub-BL	open	open	open	open
Un-selected	WL	VCC	VCC	VCC	VCC
	Source	VCC	VCC	VCC	VCC
	Cell-well	VCC	VCC	VCC	VCC
	SG-well	VCC	VCC	VCC	VCC
	sub	GND	GND	GND	GND

Program

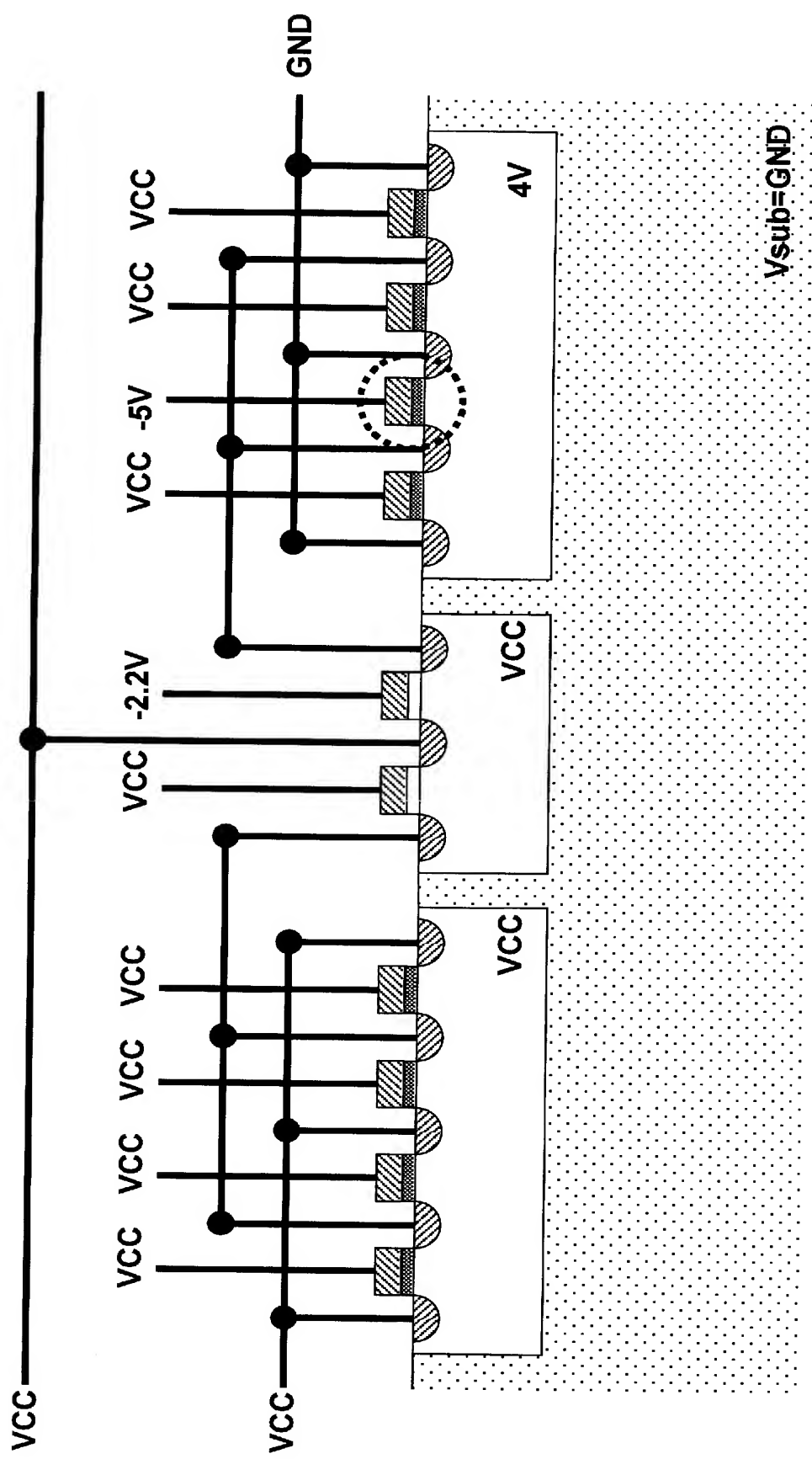




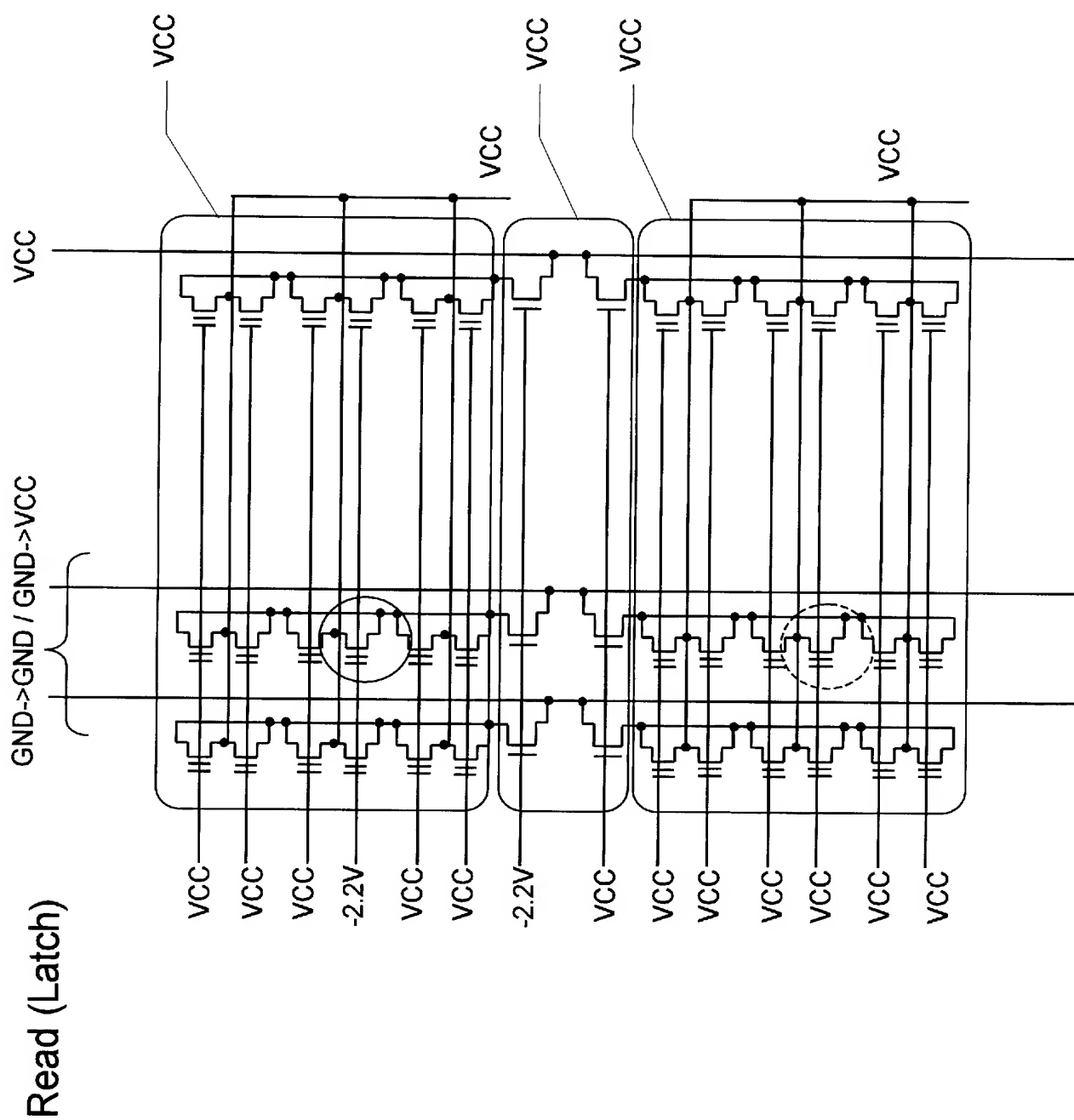
Program Verify (Latch)

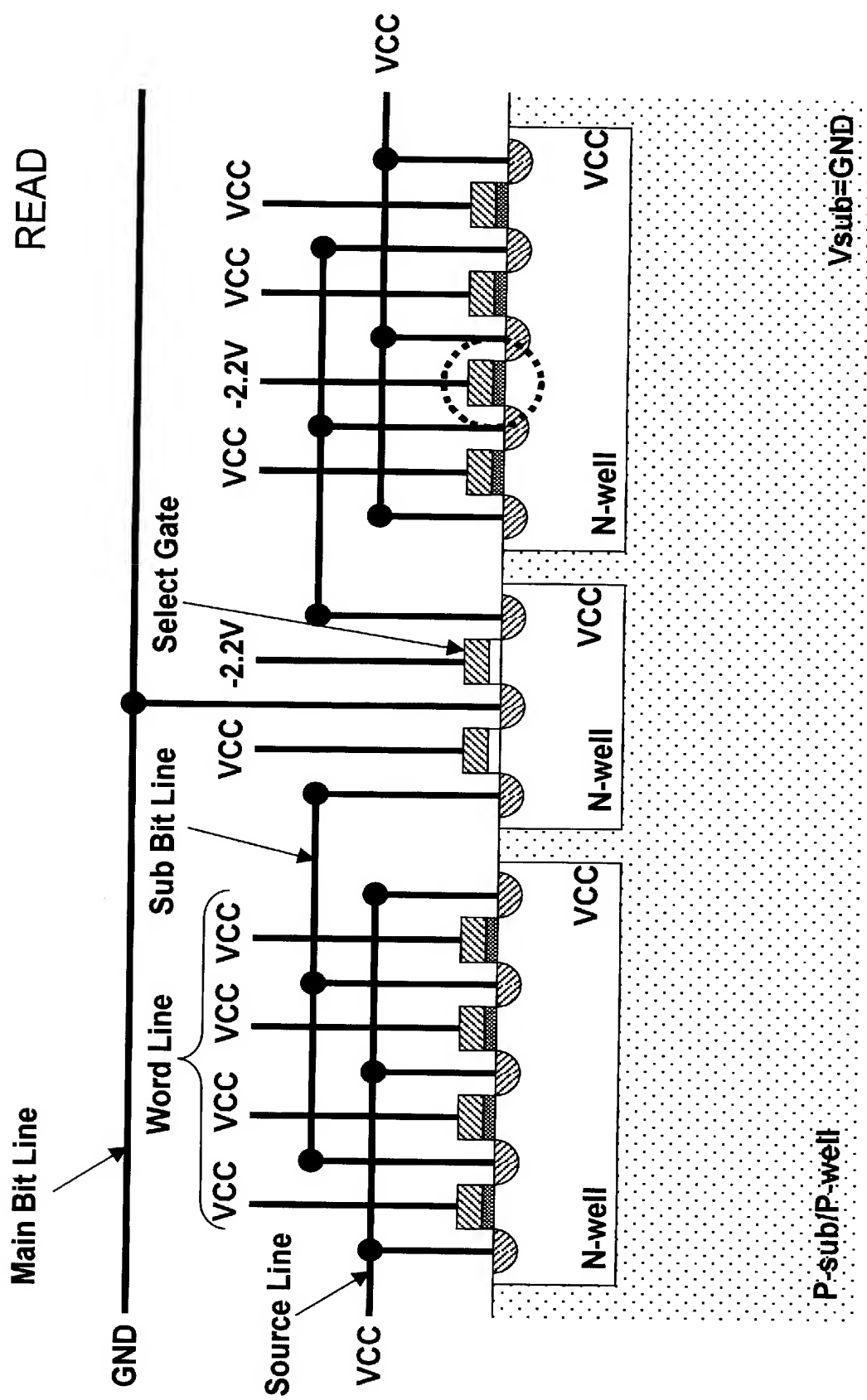


PROGRAM
Verify READ

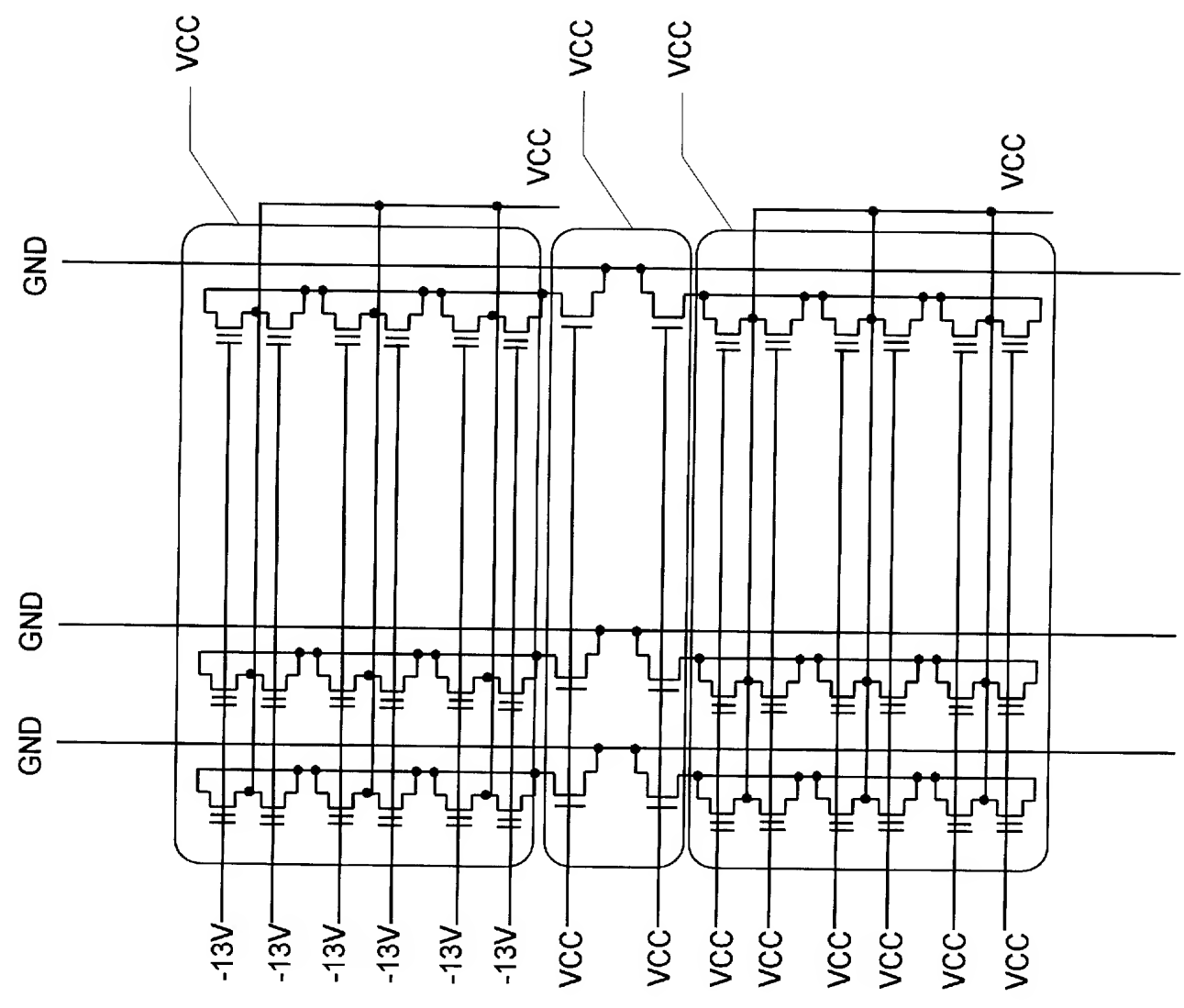


$V_{sub} = GND$

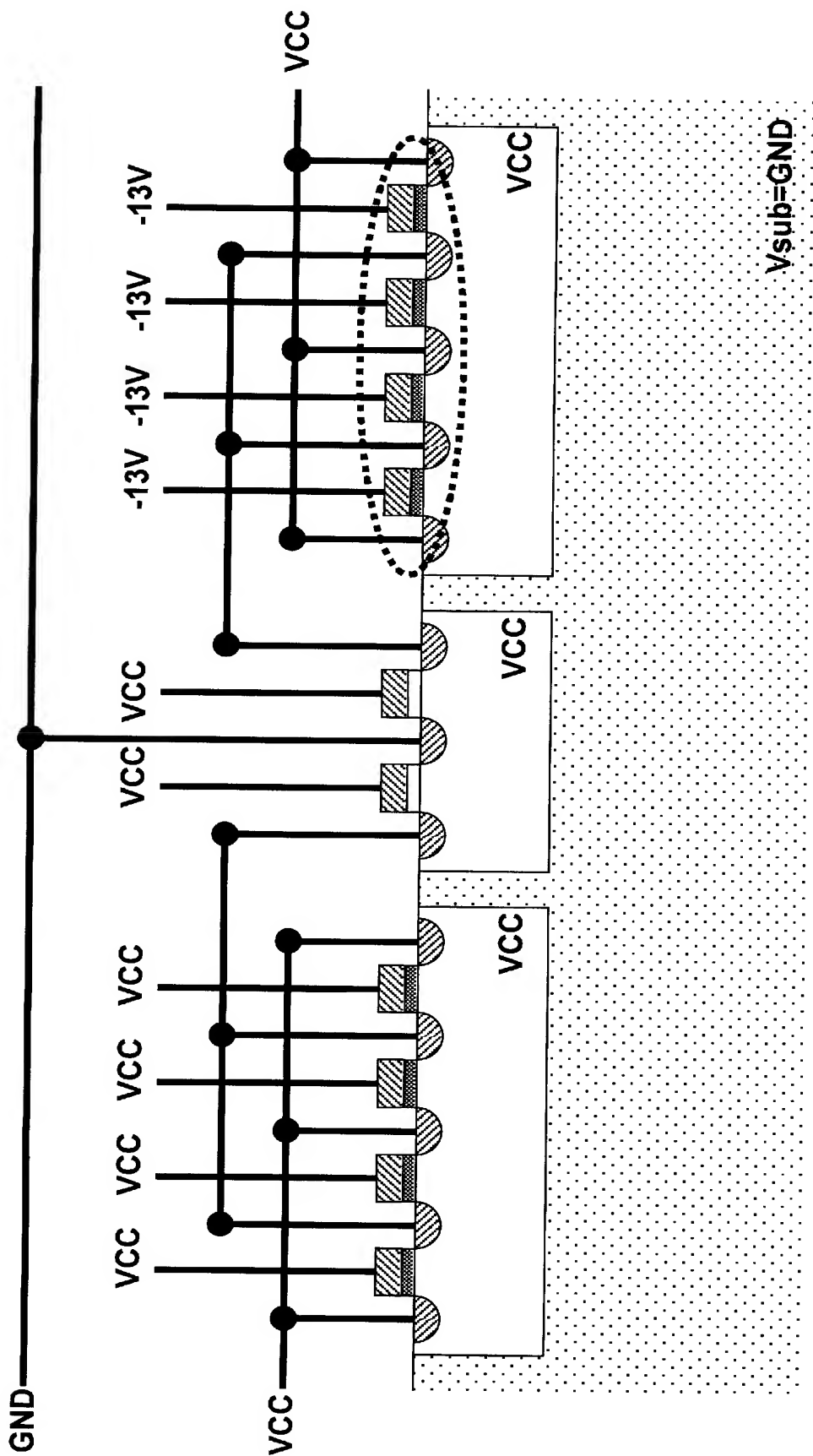




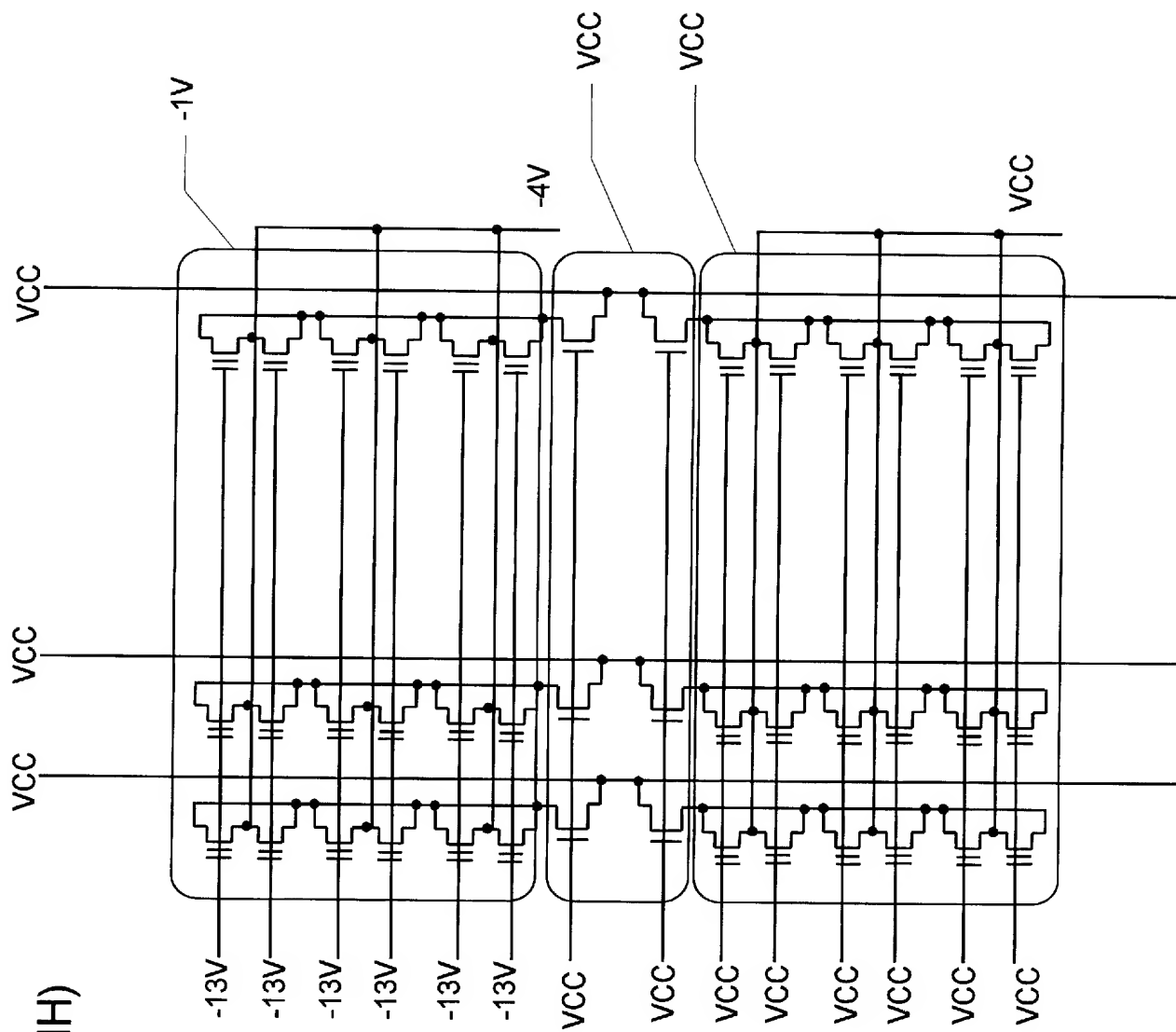
Erase (tunnel)



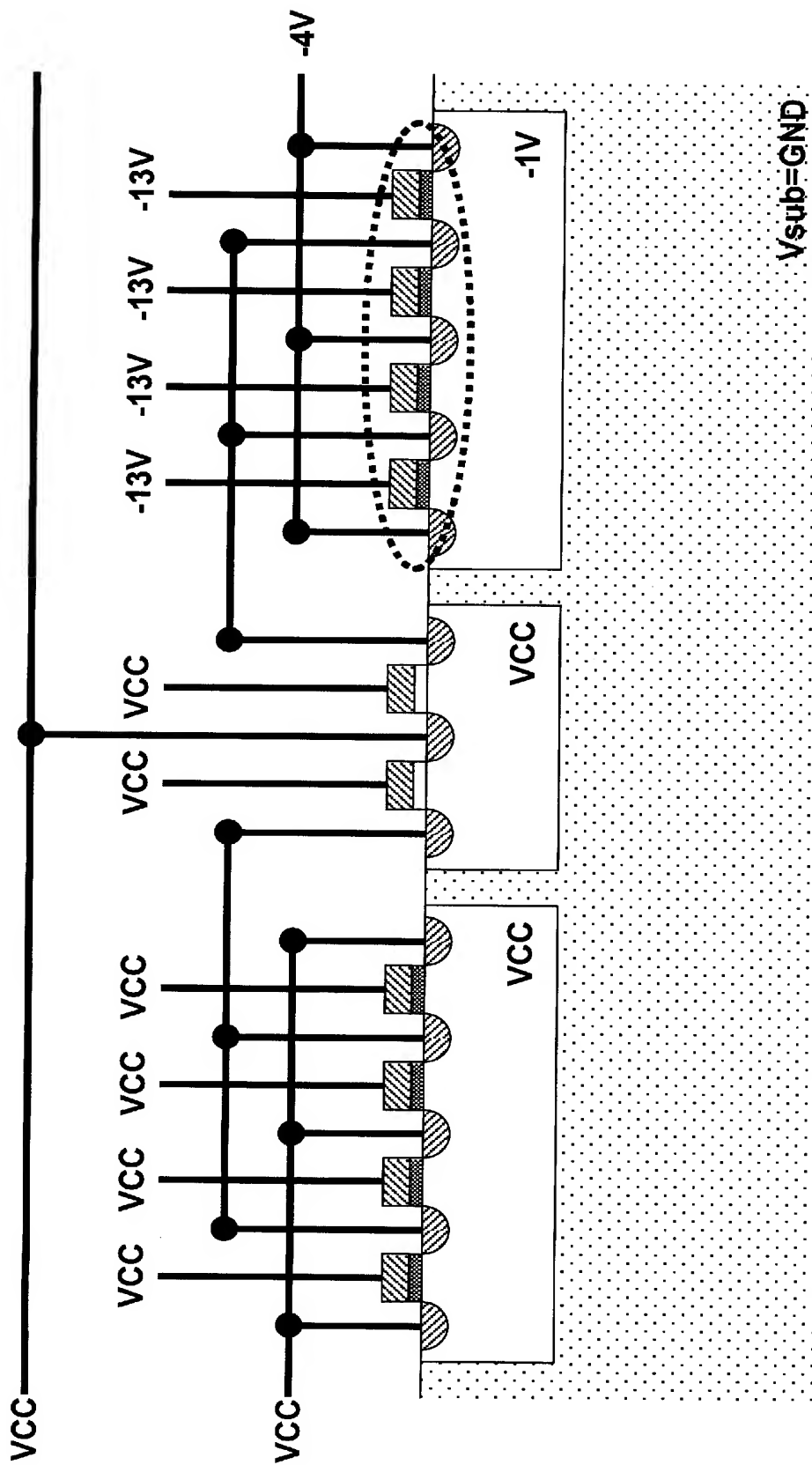
ERASE
<tunnel>



Erase (sub.-HH)



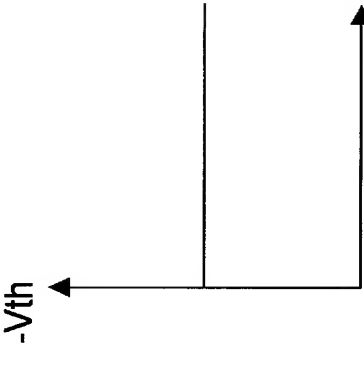
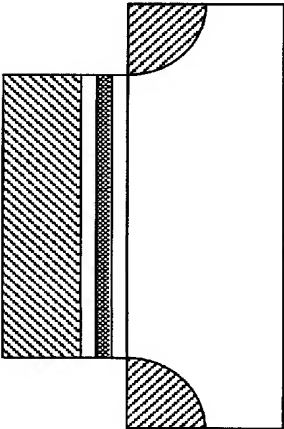
ERASE
<sub.-HH>



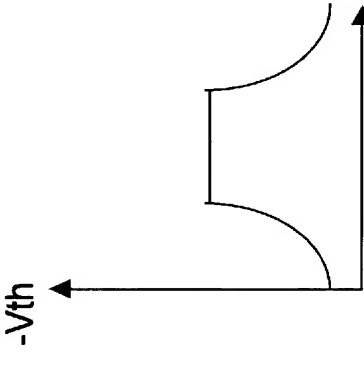
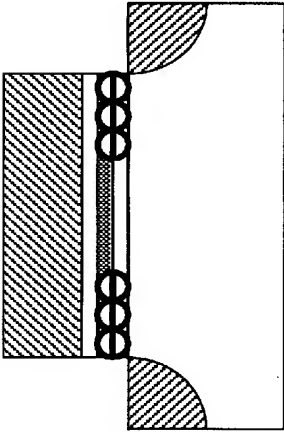
		Program	Prg-verify	Erase(tn)	Erase(hh)	Read
selected	Drain	GND	VCC	VCC	-4V	VCC
	WL	10V	-5V	-13V	-13V	-2.2V
	Source	VCC	GND	VCC	-4V	GND
	Cell-well	4V	4V	VCC	-1V	VCC
Un-selected	Drain	VCC	VCC	VCC	VCC	VCC
	WL	VCC	VCC	VCC	VCC	VCC
	Source	VCC	VCC	VCC	VCC	VCC
	Cell-well	VCC	VCC	VCC	VCC	VCC
sub		GND	GND	GND	GND	GND

A cross-sectional view of a semiconductor device. A central rectangular region is labeled 207. On either side of this central region are two trapezoidal regions, labeled 205L on the left and 205R on the right. Above these trapezoidal regions are thin vertical layers, labeled 206L on the left and 206R on the right. The entire structure sits on a horizontal substrate. Below the substrate, there are two shaded, semi-circular regions labeled P+ (203 on the left, 204 on the right). The area below the substrate is labeled N well.

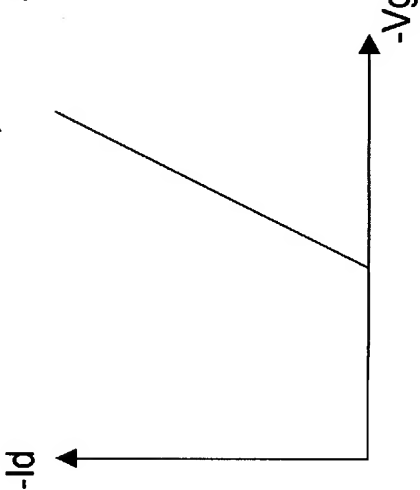
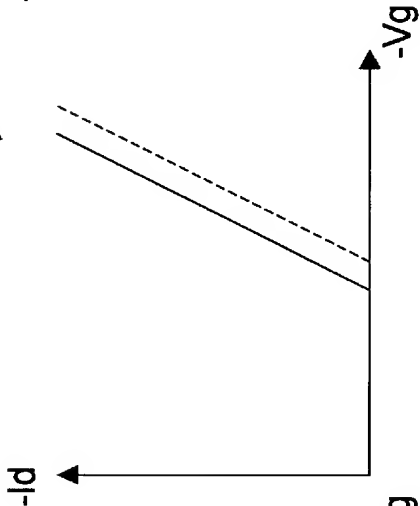
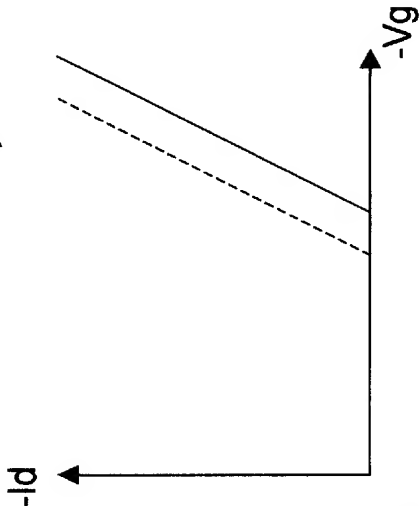
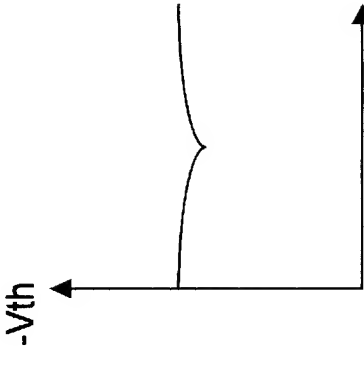
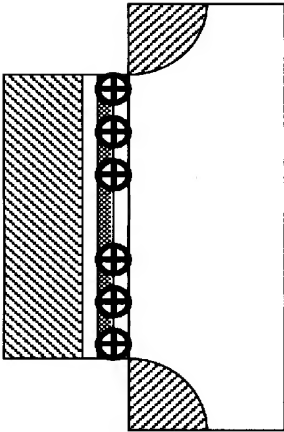
(A) Initial



(B) Program



(C) Erase



【書類名】 要約書

【要約】

【課題】 p チャンネル MONOS メモリセルにおいて、データ書込時のデータ転送レート
の高速化を実現する。

【解決手段】 ビットラインを GND～VCC で動作させるために、プログラム時にセル
ウェルに 4 V のバックゲート電圧を印加する。プログラムモードとベリファイモードとの
切り換えを高速化するために、ベリファイも 4 V のバックゲート電圧が印加されたままの
状態で行う。このため、ベリファイ時にはワードライン（ゲート）に－5 V の読出モード
時よりも大きい（絶対値）電圧を印加する。

【選択図】 図 7

出願人履歴

5 0 3 2 9 1 4 3 9

20030812

新規登録

兵庫県尼崎市道意町7丁目1番3号 尼崎リサーチ・インキュベ
ーションセンター

株式会社GENUSION